

Министерство образования Республики Беларусь

Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра радиотехнических систем

В. Н. Левкович, Р. Г. Ходасевич

ИССЛЕДОВАНИЕ ЭЛЕКТРОННЫХ СЧЕТЧИКОВ

Методическое пособие
к лабораторной работе по курсу
«Цифровые устройства»
для студентов радиотехнических специальностей
всех форм обучения

Минск 2008

УДК 621.374.3(075.8)

ББК 32.847.4 я 73

Л 37

Р е ц е н з е н т

доцент кафедры радиотехнических устройств БГУИР,
канд. техн. наук И. Ю. Малевич

Левкович, В. Н.

Л 37 Исследование электронных счетчиков : метод. пособие к лаб. работе по курсу «Цифровые устройства» для студ. радиотех. спец. всех форм обуч. / В. Н. Левкович, Р. Г. Ходасевич. – Минск : БГУИР, 2008. – 28 с. : ил.
ISBN 978-985-488-249-9

Рассмотрены вопросы схемотехнических принципов построения и функционирования основных типов электронных счетчиков.

Приводится лабораторное задание, содержание отчета и контрольные вопросы для самопроверки.

УДК 621.374.3(075.8)

ББК 32.847.4 я 73

ISBN 978-985-488-249-9

© Левкович В. Н., Ходасевич Р. Г., 2008

© УО «Белорусский государственный университет информатики и радиоэлектроники», 2008

1. Цель работы

1.1. Изучение разновидностей, принципов построения и функционирования электронных двоичных счетчиков.

1.2. Получение практических навыков компьютерного моделирования работы электронных счетчиков с помощью пакета прикладных программ Electronics Workbench.

2. Общие сведения об электронных счетчиках

Счетчик (Counter) представляет собой логическое цифровое устройство *последовательностного типа*, состояние которого циклически повторяется под действием входных импульсов. Новое состояние счетчика, как и любого последовательностного устройства с памятью, зависит не только от действующих входных сигналов, но и от последовательности сигналов, которые поступали на входы счетчика в прошлом.

Основное назначение счетчика – подсчет поступивших на счетный вход импульсов и фиксация их числа в том или ином коде. После подсчета заданного числа импульсов счетчик в режиме непрерывного счета самостоятельно возвращается в исходное нулевое состояние и цикл его работы повторяется.

Последовательностные цифровые устройства, выполненные по схеме счетчика, но имеющие один счетный вход и один выход, называются *делителями частоты*. Любой счетчик можно использовать как делитель частоты.

На принципиальных схемах счетчики и счетчики-делители обозначаются символами СТ (двоичные – СТ2, десятичные – СТ10). В стандартных сериях цифровых интегральных микросхем (ИМС), выпускаемых отечественной промышленностью, счетчики обозначаются буквами ИЕ.

Счетчик содержит n последовательно включенных счетных триггеров, которые называются разрядами. Первый триггер счетчика является *младшим разрядом*, а справа от него находятся *старшие разряды*. Счетчики отличаются друг от друга *числом разрядов n* , *модулем счета M* и типом счетной последовательности, которая может быть двоичной, двоично-десятичной, в коде Грея или в другом коде. Двоичные коды могут иметь различные веса разрядов, например, 8421 либо 2421 (код Айкена) и т.п.

Выходы разрядных триггеров в счетчиках обычно обозначаются на схемах индексами 0, 1, 2, 3, ..., как номера разрядов двоичного кода, тогда Q_0 будет выходом триггера младшего нулевого разряда. Допускается обозначение выходов 1, 2, 4, 8, ... согласно весовым коэффициентам двоичного кода.

Простейшим счетчиком является Т-триггер, который на практике реализуется на JK- или D-триггере. Т-триггер подсчитывает входные импульсы по модулю два и, являясь одноразрядным счетчиком-делителем, осуществляет деление частоты следования входных импульсов на два.

Для n-разрядного двоичного счетчика, имеющего 2^n состояний, модуль счета М (или иначе коэффициент счета $K_{сч}$) и максимальное число подсчитанных импульсов N_{max} , поступивших на вход счетчика, определяются соотношениями

$$M = 2^n, \quad N_{max} = 2^n - 1. \quad (1)$$

Модуль счета М определяется общим числом состояний (переключений) счетчика за один полный цикл счета, через которые он проходит в последовательности 0, 1, 2, ..., 2^n-1 , 0, 1, 2, ...

Общая емкость для каскадно включенных i счетчиков равна

$$M_{\Sigma} = M_1 \cdot M_2 \cdot \dots \cdot M_i. \quad (2)$$

Модуль счета М численно совпадает с коэффициентом деления числа входных импульсов K_d . Для периодических входных сигналов, следующих с частотой $F_{вх}$, частота выходных сигналов счетчика-делителя равна

$$F_{вых} = F_{вх} / K_d. \quad (3)$$

Важным эксплуатационным показателем электронных счетчиков является их быстродействие, зависящее от выбранной элементной базы и схемы построения. Динамическим параметром, определяющим быстродействие счетчика, является время установления выходного кода t_k .

Счетчики можно классифицировать по ряду признаков, рассмотрим основные из них.

По быстродействию и способу организации внутренних связей счетчики делятся на следующие группы:

- асинхронные (или последовательные);
- синхронные (или параллельные).

По направлению счета двоичные счетчики подразделяются на:

- суммирующие (прямого счета);
- вычитающие (обратного счета);
- реверсивные (с изменением направления счета).

Отмеченные классификационные признаки независимы и могут встречаться в различных сочетаниях. Согласно указанным классификационным признакам и функциональным назначениям микросхем, в схему (рис. 1)

сведены широко применяемые в аппаратуре отечественные и зарубежные счетчики средней степени интеграции.

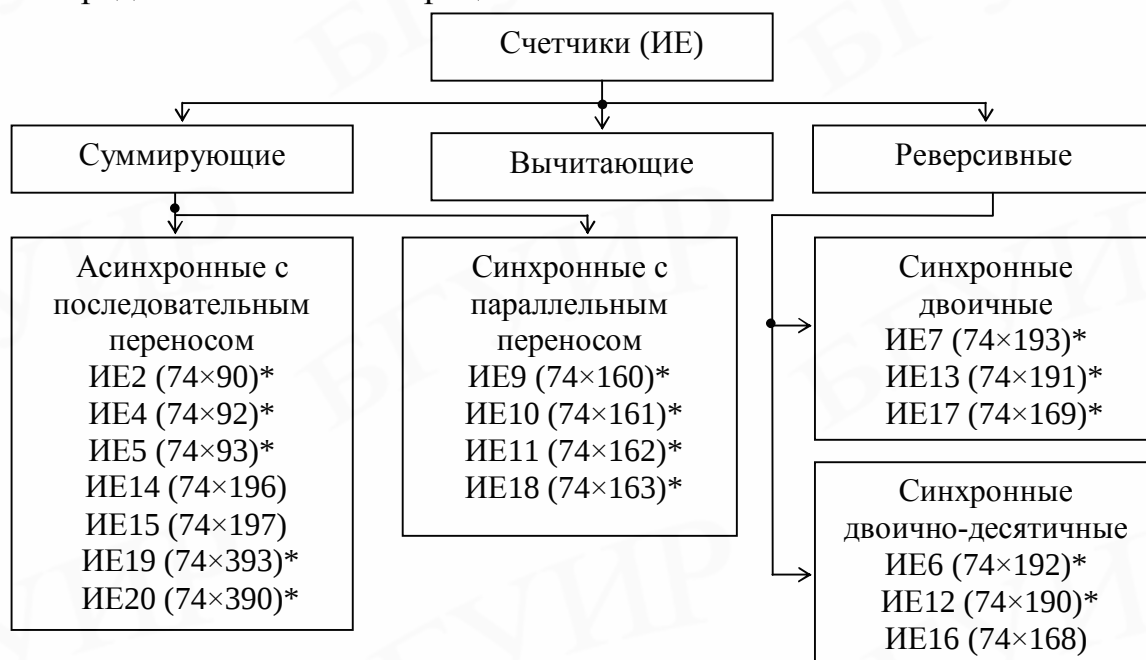


Рис. 1. Классификация электронных счетчиков

На рис. 1 звездочкой отмечены счетчики, имеющиеся в базе данных программы Electronics Workbench.

В данном пособии рассматриваются цифровые счетчики серий K555 (аналог 74LS) и KP1533 (74ALS), выполненных по технологии ТТЛШ (TTLS) – транзисторно-транзисторная логика со структурами Шоттки, а также серий KP1554 (74AC) и KP1564 (74HC), выполненных по технологии КМОП (CMOS) на комплементарных МОП-структурах.

В технической документации обычно указываются полные названия микросхем, например, двоично-десятичный счетчик KP1533ИЕ11 (аналог SN74ALS162N фирмы Texas Instruments) или двоичный счетчик KP1554ИЕ18 (аналог IN74AC163N фирмы National). На схемах могут применяться их краткие обозначения: ИЕ11 (74×162) и ИЕ18 (74×163).

В зарубежных аналогах цифровых интегральных микросхем приняты сокращения:

- ALS (Advanced Low Power Schottky) – улучшенная маломощная серия ТТЛШ;
- AC (Advanced CMOS) – улучшенная серия КМОП;
- HCT (High Speed CMOS with TTL inputs) – высокоскоростная серия КМОП, совместимая по входу с ТТЛ;
- 74 – семейство микросхем для коммерческих применений.

Указанные серии цифровых интегральных микросхем широко используются в радиоэлектронной аппаратуре.

3. Принципы построения счетчиков

Рассмотрим принципы построения основных типов двоичных счетчиков на Т-триггерах, состояния которых меняются на противоположные на каждый переход (положительный или отрицательный) входных сигналов на их счетных входах Т.

Под воздействием входных импульсов С, подаваемых на счетный вход Т, все разряды счетчика будут переключаться последовательно друг за другом, осуществляя последовательный перенос сигналов от младших разрядов к старшим. Триггеры отдельных разрядов при этом срабатывают неодновременно (асинхронно) с входным сигналом и с другими разрядами, поэтому такие счетчики получили название *последовательных счетчиков*, или *асинхронных счетчиков с последовательным переносом*.

3.1. Суммирующие счетчики

Для организации суммирующего счетчика, работающего в режиме прямого счета, когда каждый очередной входной счетный импульс увеличивает результат счета на единицу, необходимо прямой выход Q каждого предыдущего триггера соединить с входом Т последующего триггера, если вход Т является *инверсным динамическим* (рис. 2, а).

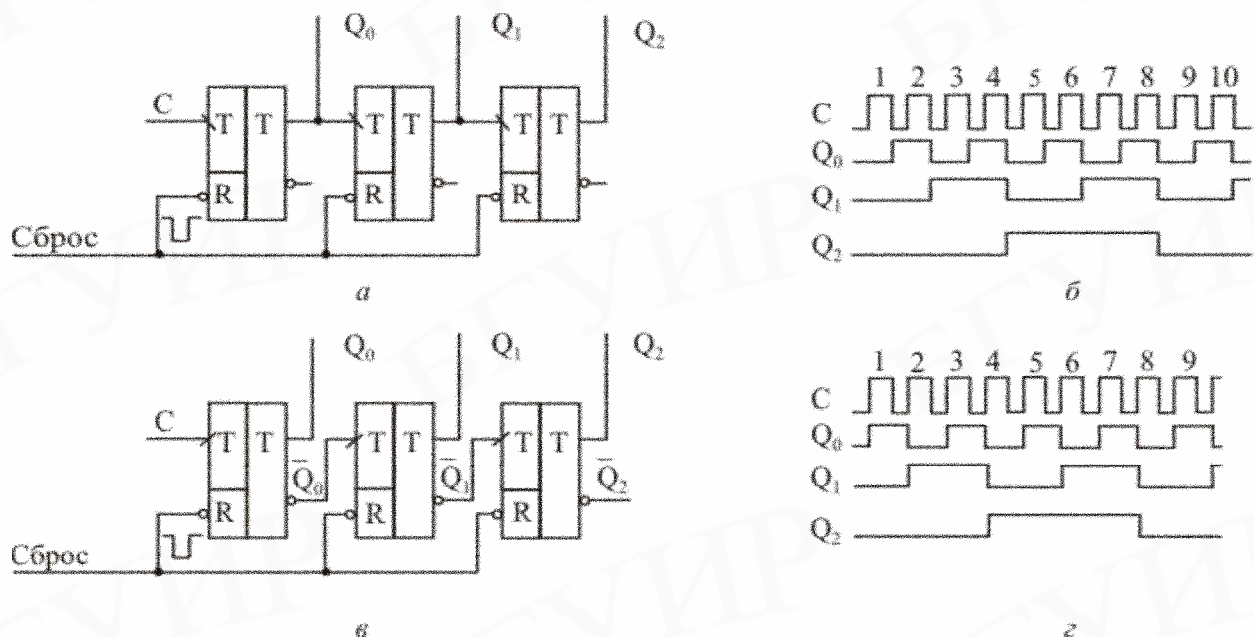


Рис. 2. Асинхронные суммирующие двоичные счетчики:

а, в – схемы;

б, г – временные диаграммы

Временные диаграммы, поясняющие работу суммирующего счетчика с инверсным динамическим входом, приведены на рис. 2, б, из которого следует, что каждый последующий триггер переключается отрицательным фронтом сигнала, формируемого на выходе предыдущего триггера. В данном счетчике младшим разрядом является первый триггер, на который подаются счетные импульсы, а последующие триггеры являются старшими разрядами.

Следует обратить особое внимание, что в асинхронных счетчиках, если вход Т является *прямым динамическим* (рис. 2, в), то для организации суммирующего счетчика следует соединить инверсный выход $\bar{Q}$ младшего разряда с входом Т старшего разряда. В этом случае первый триггер будет срабатывать по положительному фронту каждого счетного импульса, поступившего на вход Т, а последующие триггеры будут переключаться по положительному фронту инверсных сигналов $\bar{Q}_0$ и $\bar{Q}_1$, снимаемых с инверсных выходов триггеров. Временные диаграммы (рис. 2, г) поясняют принцип работы суммирующего счетчика на триггерах с прямыми динамическими входами.

Рассматриваемые 3-разрядные суммирующие двоичные счетчики с модулем счета $M = 2^n = 8$ осуществляют счет на увеличение от значений 000 до значений 111 (от 0 до 7 в десятичной системе). Максимальное показание счетчика на выходах триггеров $Q_2Q_1Q_0 = 111_2 = 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 7_{10}$. Результат счета формируется на выходах триггеров и записывается согласно номерам разрядов выходного двоичного кода в виде $Q_2Q_1Q_0$, где Q_2 – выход старшего разряда счетчика.

В исходном состоянии все триггеры счетчика устанавливаются в нулевое состояние с помощью сигнала сброса $\bar{R}$, который в данных схемах является инверсным статическим.

С приходом первого счетного импульса С счетчик устанавливается в состояние 001. Поступление второго импульса приводит к увеличению результата счета на единицу и т.д. После поступления восьмого счетного импульса все триггеры обнуляются и цикл счета автоматически повторяется (табл. 1), при этом счетчик последовательно проходит состояния 0, 1, 2, ..., 7, 0, 1, ...

3.2. Вычитающие счетчики

При построении вычитающих счетчиков необходимо обеспечить режим обратного счета, при котором каждый очередной входной счетный импульс

должен уменьшать результат счета на единицу. Направление обратного счета в вычитающих счетчиках достигается за счет изменения характера межразрядных соединений в цепях последовательного переноса сигнала.

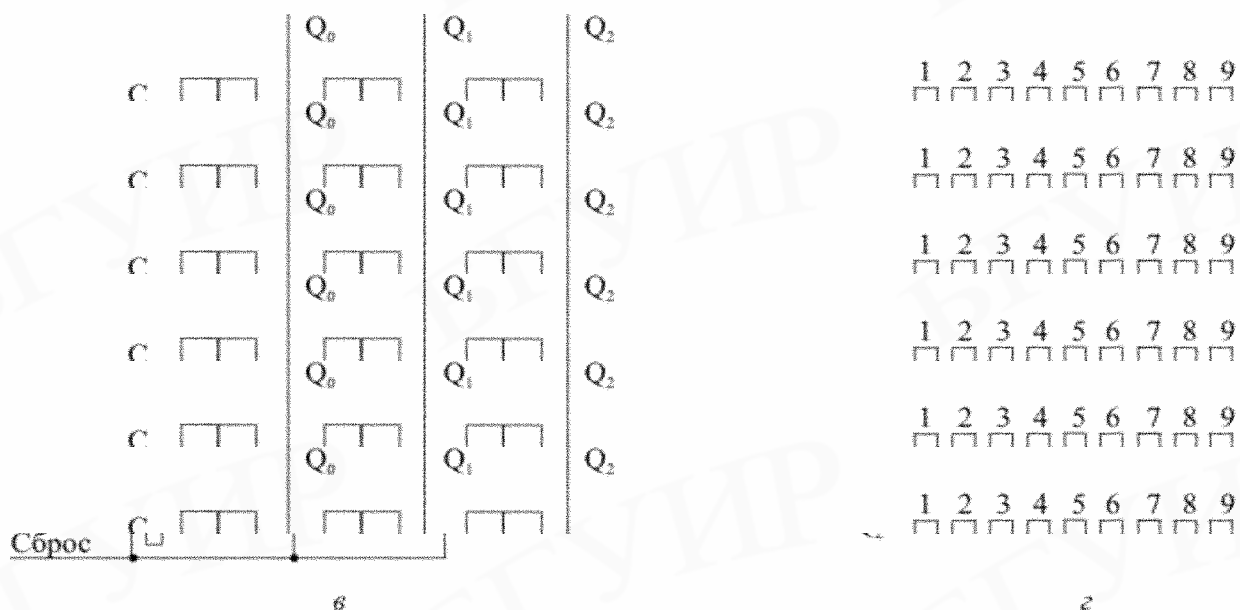


Рис. 3. Асинхронные вычитающие двоичные счетчики:
а, в – схемы, *б, г* – временные диаграммы

Схемная реализация вычитающих счетчиков и организация межкаскадных связей при прямом и инверсном тактовых входах показана на рис. 3, *а, в*. Временные диаграммы, поясняющие работу таких счетчиков, приведены на рис. 3, *б, г*.

Работа счетчика начинается с установки всех триггеров в нулевое состояние (сброс). Первый счетный импульс C , поступивший на вход T , устанавливает на выходах счетчика $Q_2Q_1Q_0$ комбинацию 111. Каждый следующий входной импульс уменьшает содержимое счетчика на единицу. При поступлении восьмого импульса все триггеры обнуляются и цикл счета повторяется.

Режимы счета для суммирующего и вычитающего 3-разрядного двоичного счетчика приведены в табл. 1.

Вычитающие счетчики промышленностью не выпускаются, при необходимости применяются реверсивные счетчики, работающие в режиме вычитания.

3.3. Реверсивные счетчики

Счетчики, работающие как в прямом, так и в обратном направлениях счета, называются *реверсивными*. При построении реверсивного счетчика

изменение направления счета достигается переключением межразрядных связей из режима суммирования в режим вычитания и наоборот, согласно рис. 2 и 3. С этой целью в цепях связи между триггерами включаются схемы коммутации.

Таблица 1

Десятичное число	Режим счета					
	Суммирование			Вычитание		
	Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0	0
1	0	0	1	1	1	1
2	0	1	0	1	1	0
3	0	1	1	1	0	1
4	1	0	0	1	0	0
5	1	0	1	0	1	1
6	1	1	0	0	1	0
7	1	1	1	0	0	1
8	0	0	0	0	0	0

На рис. 4 показаны варианты реализации межразрядных коммутирующих цепей на логических элементах, на входы которых подаются управляющие сигналы V и $\bar{V}$, а также прямые и инверсные сигналы Q_i и $\bar{Q}_i$, поступающие с выходов триггеров младших разрядов. На выходе коммутатора формируется сигнал C_{i+1} , поступающий на вход триггера старшего разряда. Все три схемы эквивалентны и описываются логическими выражениями:

$$C_{i+1} = \overline{Q_i \cdot \bar{V} \cdot \bar{Q}_i \cdot V} = Q_i \bar{V} + \bar{Q}_i V = Q_i \oplus V. \quad (4)$$

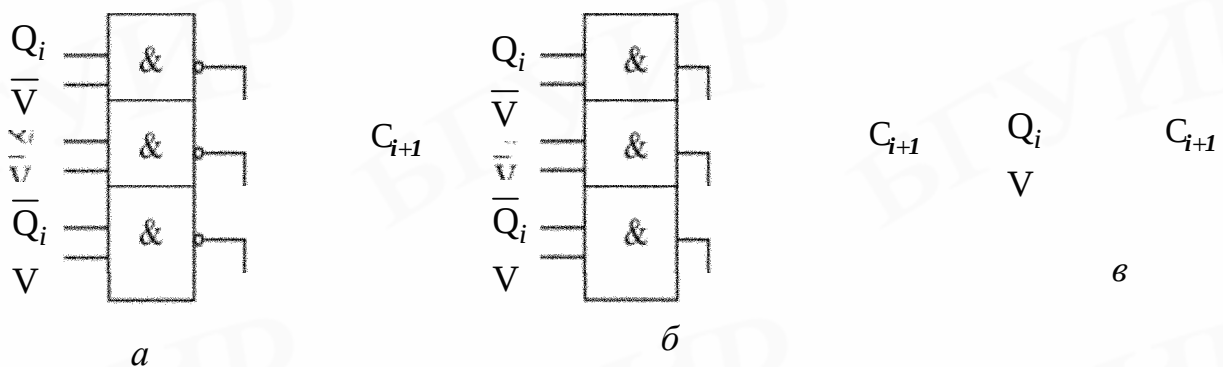


Рис. 4. Варианты межразрядных коммутирующих цепей

На рис. 5 показана схема 3-разрядного реверсивного счетчика, где между разрядами включены логические элементы Иключающее ИЛИ (сумматоры по модулю два).

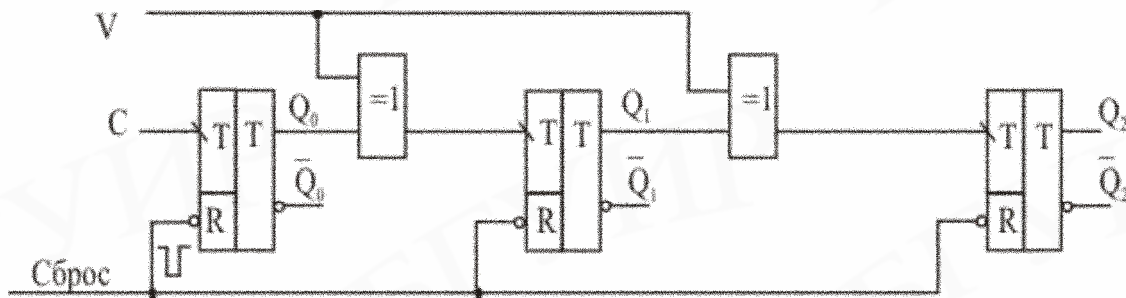


Рис. 5. Асинхронный двоичный реверсивный счетчик

При значениях $V=0$ счетчик работает в режиме суммирования аналогично схеме на рис. 2, а. При значениях $V=1$ счетчик будет работать в режиме вычитания аналогично схеме на рис. 3, в. В случае $V=1$ логический элемент Иключающее ИЛИ инвертирует выходной сигнал Q_i младшего разряда, что эквивалентно подключению его инверсного выхода $\bar{Q}_i$, и сформированный сигнал C_{i+1} будет поступать на счетный вход старшего разряда, обеспечивая тем самым режим работы обратного счета.

Счетчик имеет вход независимого асинхронного сброса $\bar{R}$, устанавливающий все триггеры в начальное нулевое состояние.

3.4. Счетчики с произвольным модулем счета

При проектировании цифровых устройств часто возникает необходимость построить счетчик с произвольным модулем счета, когда $M \neq 2^n$. Принцип построения таких счетчиков состоит в исключении избыточных состояний с помощью включения обратных связей внутри счетчика либо методом управляемого сброса счетчика в нуль, когда в нем устанавливается определенная комбинация согласно модулю счета $M-1$.

Число избыточных состояний для любого счетчика определяется выражением

$$N_{\text{изб}} = 2^n - M, \quad n = \lceil \log_2 M \rceil, \quad (5)$$

где n – требуемое число триггеров двоичного счетчика, имеющего 2^n устойчивых состояний, округленное до целого числа.

Приведем пример схемной реализации суммирующего двоично-десятичного счетчика с модулем счета $M=10$ на основе метода управляемого сброса. Иногда такие счетчики называют декадными (Decade counters) и на схемах обозначаются СТ 2/10, двоичными их называют по коду счета, десятичными – по модулю счета.

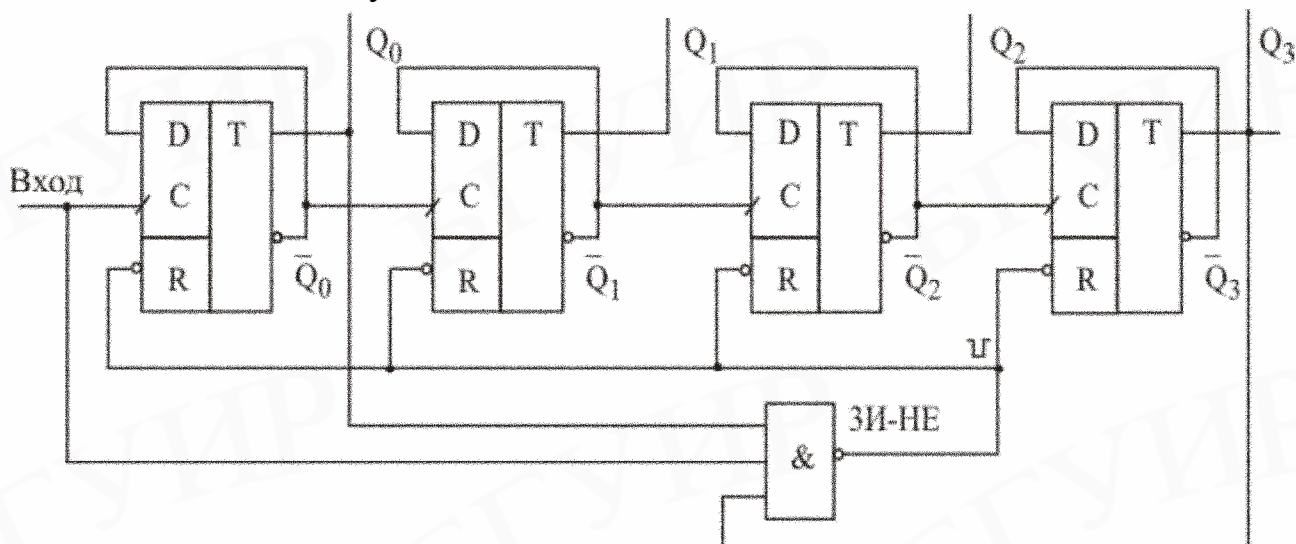


Рис. 6. Суммирующий двоично-десятичный счетчик

Схема последовательного двоично-десятичного суммирующего счетчика, выполненного на D-триггерах с прямым динамическим входом C , приведена на рис. 6. Для организации счетного режима инверсные выходы $\bar{Q}$ каждого триггера соединены с входами D .

Согласно выражению (5) для реализации счетчика требуемое число триггеров $n=4$, тогда общее число состояний счетчика $2^n=16$; при модуле счета $M=10$ число избыточных состояний $N_{изб}=16-10=6$. На рис. 6 показано, какие логические элементы необходимо ввести и какие соединения необходимо осуществить, чтобы счетчик работал по модулю 10, а на рис. 7 приведены соответствующие этому режиму временные диаграммы.

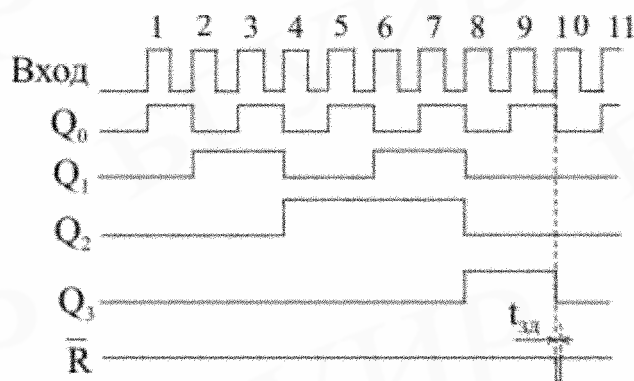


Рис. 7. Временные диаграммы работы двоично-десятичного счетчика

В схему счетчика на рис. 6 дополнительно включен 4-входовый логический элемент ЗИ-НЕ, выполняющий роль дешифратора комбинации $1001_2 = 9_{10}$ (здесь и далее индексы обозначают соответственно двоичные и десятичные числа). Счетчик осуществляет подсчет входных импульсов от 0 до 9. Поступление на вход счетчика десятого счетного импульса вызовет появление активного уровня сигнала на выходе элемента ЗИ-НЕ, производящего сброс всех триггеров в нулевое состояние. Длительность импульса сброса $t_{зд}$ равна сумме времени реакции триггера на сигнал сброса и задержки сигнала в элементе ЗИ-НЕ.

Аналогичным образом можно построить счетчик с другим модулем счета, если формировать код сброса, соответствующий требуемому модулю счета $M-1$. Например, для построения счетчика по модулю $M=11$ необходимо на выходе логического элемента ЗИ-НЕ обнаруживать комбинацию выходных сигналов, соответствующую коду $1010_2 = 10_{10}$.

4. Асинхронные счетчики

Асинхронные счетчики представляют собой последовательно соединенную цепочку счетных триггеров, которые последовательно переключаются выходными сигналами предыдущих триггеров, поэтому такие счетчики получили название *последовательных счетчиков*.

Разрядные триггеры в последовательных счетчиках переключаются неодновременно (асинхронно) с входным сигналом и с сигналами других разрядов. Межразрядный перенос сигналов в следующие по старшинству разряды осуществляется в таких счетчиках последовательно, отсюда другое название – *асинхронные счетчики с последовательным переносом* (Ripple counter).

Реализуются асинхронные счетчики в основном на JK-триггерах, которые выполняются по двухступенчатой схеме (MS-триггеры).

Применяемых на практике и входящих в состав стандартных серий ИМС асинхронных счетчиков немного. Наиболее часто используются: 4-разрядный двоично-десятичный счетчик ИЕ2 (74×90), 4-разрядный двоичный счетчик ИЕ5 (74×93), сдвоенный 4-разрядный двоичный счетчик ИЕ19 (74×393).

Счетчики имеют синхронизирующий вход С, на который поступают счетные импульсы, в зарубежных аналогах этот вход обозначают CLK (Clock) либо IN (Input). Все асинхронные счетчики имеют инверсный динамический вход и переключаются по отрицательному фронту входного сигнала. Большинство счетчиков имеют независимые асинхронные входы сброса в нуль R (CLR-clear) и входы установки начальной комбинации S (PR-preset).

Особенностью асинхронных счетчиков с последовательным переносом сигналов является их невысокое быстродействие, определяемое в основном временем последовательного переключения разрядных триггеров.

Задержка переключения каждого разряда счетчика равна задержке переключения одного триггера $t_{\text{ТР}}$, следовательно, время установления кода на выходе n-разрядного асинхронного последовательного счетчика будет равно

$$t_{\text{уст}} = n \cdot t_{\text{ТР}} < T_{\text{и}}, \quad (6)$$

где $T_{\text{и}}$ – период следования импульсов входного сигнала.

Из выражения (6) следует довольно жесткое ограничение на частоту входного сигнала и количество разрядов счетчика. Обычно асинхронные счетчики выпускаются 4-разрядные, они обладают малым быстродействием, но просты в реализации.

Рассмотрим принципы построения и работу некоторых асинхронных счетчиков и их зарубежных аналогов.

4.1. Асинхронный двоично-десятичный счетчик ИЕ2 (74×90)

Условные обозначения счетчика КР1533ИЕ2 и его зарубежного аналога SN74LS90N с указанием нумерации выводов микросхем показаны на рис. 8.

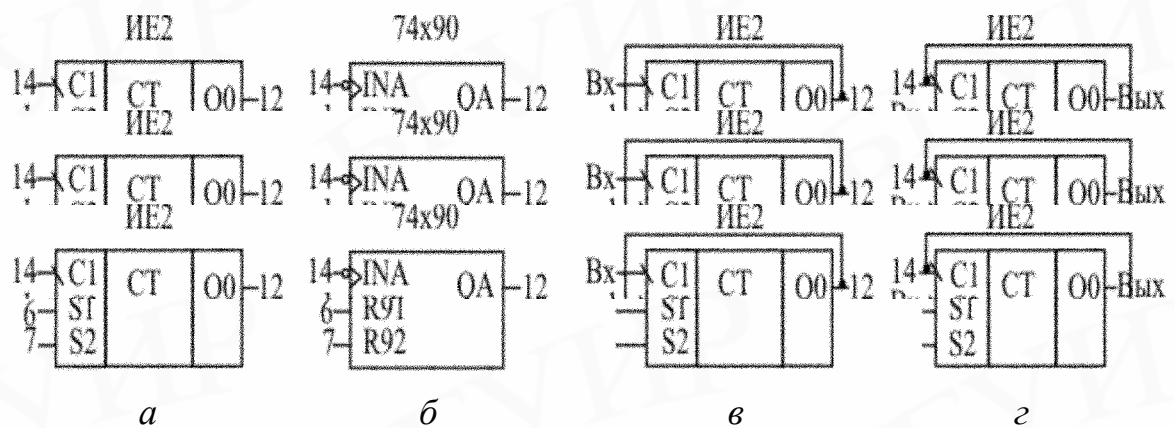


Рис. 8. Асинхронные счетчики IE2 и 74×90

Схема IE2 представляет собой 4-разрядный асинхронный двоично-десятичный счетчик-делитель, в составе которого имеются две секции: одноразрядный счетчик-делитель на два (вход C_1 , выход Q_0) и 3-разрядный счетчик-делитель на пять с входом C_2 и выходами Q_1 , Q_2 , Q_3 .

Счетчик имеет отдельные тактовые входы C_1 и C_2 , входы R_1 и R_2 для сброса триггеров в нулевое состояние 0000 и входы S_1 и S_2 предварительной установки состояния $1001_2 = 9_{10}$. Входы асинхронного сброса R_1 , R_2 и установки S_1 , S_2 объединены по функции И, блокируя друг друга при подаче логического 0 на их входы.

Счетчик IE2 и его аналог 74×90 обеспечивают следующие режимы работы:

- режим счета по модулю 10 (рис. 8, в);
- режим деления на 10 (рис. 8, г).

Для организации 4-разрядного двоично-десятичного счетчика по модулю счета $M=10$ необходимо с помощью внешних связей соединить последовательно обе секции (выводы 1, 12), как это показано на рис. 8, в. Входные сигналы подаются на C_1 , выходом является Q_3 . Режим счета характеризует таблица состояний счетчика IE2 (табл. 2).

Таблица 2

Входы					Текущее состояние				Следующее состояние			
Такт	R ₁	R ₂	S ₁	S ₂	Q ₃	Q ₂	Q ₁	Q ₀	Q ₃ ⁺	Q ₂ ⁺	Q ₁ ⁺	Q ₀ ⁺
×	1	1	0	×	×	×	×	×	0	0	0	0
×	0	×	1	1	×	×	×	×	1	0	0	1
0	×	0	×	0	0	0	0	0	0	0	0	1
1	0	×	0	×	0	0	0	1	0	0	1	0
2	×	0	×	0	0	0	1	0	0	0	1	1
3	0	×	0	×	0	0	1	1	0	1	0	0
4	×	0	×	0	0	1	0	0	0	1	0	1
5	0	×	0	×	0	1	0	1	0	1	1	0
6	×	0	×	0	0	1	1	0	0	1	1	1
7	0	×	0	×	0	1	1	1	1	0	0	0
8	×	0	×	0	1	0	0	0	1	0	0	1
9	0	×	0	×	1	0	0	1	0	0	0	0

При использовании счетчика ИЕ2 в качестве делителя частоты на 10 необходимо внутренний одноразрядный счетчик последовательно включить после 3-разрядного счетчика, соединив выводы 11 и 14 микросхемы (см. рис. 8, з). При таком включении сигнала 3-разрядный счетчик-делитель разделит частоту следования тактовых импульсов на пять, а одноразрядный счетчик-делитель разделит частоту еще надвое.

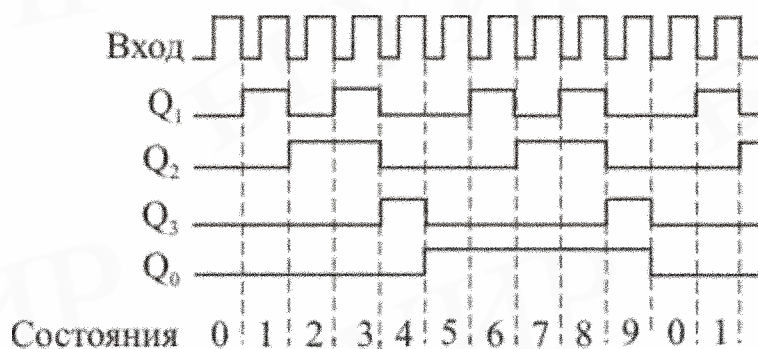


Рис. 9. Временные диаграммы работы счетчика ИЕ2 в режиме деления на 10

Временные диаграммы, приведенные на рис. 9, иллюстрируют работу счетчика-делителя на 10. Выходные счетные импульсы формируются на выходе Q₀ и имеют скважность (отношение периода следования импульсов к их длительности), равную двум. Необходимо отметить, что в режиме деления частоты следования входных импульсов таблица состояний счетчика (см. рис. 9) не будет соответствовать табл. 2 в режиме счета.

4.2. Асинхронный двоичный счетчик ИЕ19 (74×393)

В составе микросхемы КР153ЗИЕ19 (аналог SN74LS393N) имеются два идентичных независимых 4-разрядных двоичных счетчика, при соединении которых внешними связями получаем 8-разрядный счетчик. Внутренние 4-разрядные счетчики являются асинхронными с последовательным межразрядным переносом сигналов. Каждый счетчик имеет свой индивидуальный счетный вход С (IN) и вход сброса R (CLR).

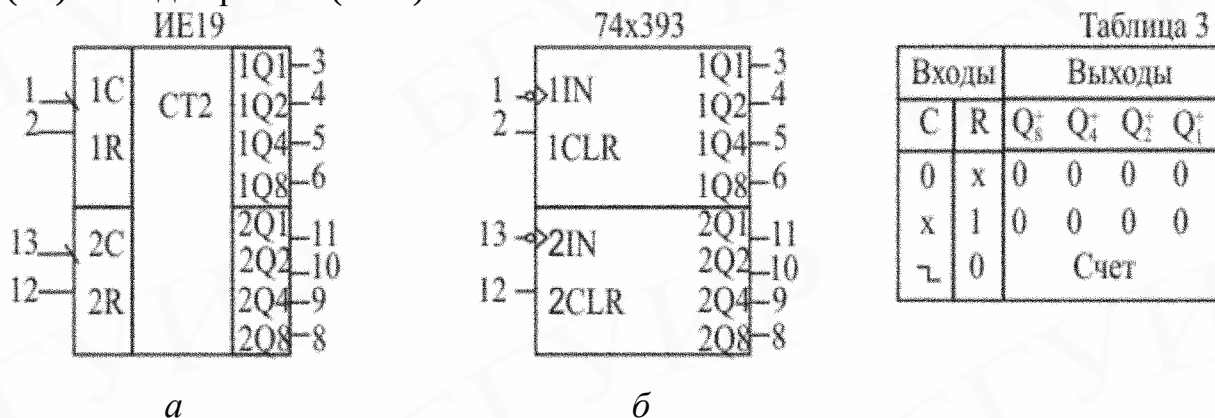


Рис. 10. Условное обозначение счетчика ИЕ19 (74×393)

Условные обозначения счетчиков ИЕ19 и зарубежного аналога 74×393, а также таблица их функционирования приведены на рис. 10 и в табл. 3. Внутренний 4-разрядный счетчик осуществляет подсчет входных импульсов от 0 до 15, поданных на вход С1. Если соединить внешние выводы 6 и 13 микросхемы ИЕ19, то образованный 8-разрядный счетчик будет выполнять счет от 0 до 255, выходные сигналы при этом должны сниматься с 8-го выхода микросхемы.

С целью увеличения разрядности на рис. 11 показана схема соединения двух микросхем ИЕ19 (схемы DD1 и DD2) для получения 16-разрядного асинхронного счетчика. На рис. 10 и 11 выходы разрядов Q обозначены 1, 2, 4, 8 как весовые коэффициенты двоичного кода.

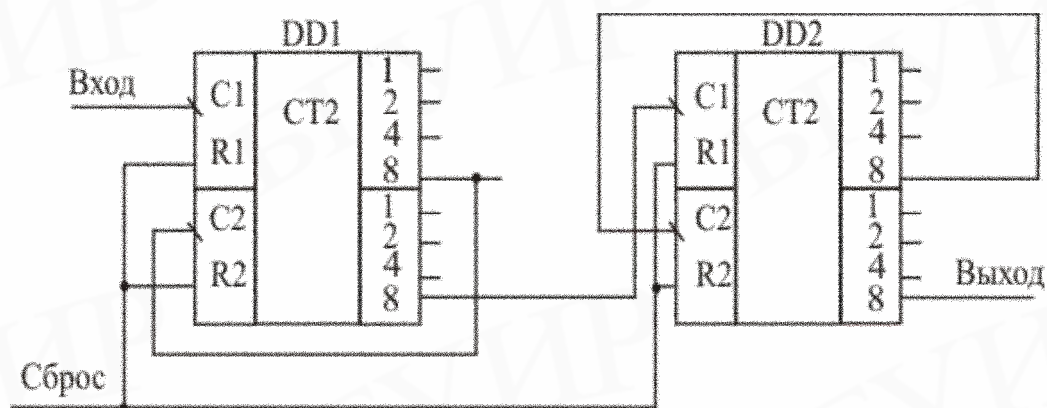


Рис. 11. Схема 16-разрядного асинхронного счетчика

Счетчик ИЕ19 выполняется на JK-триггерах (рис. 12), переключение счетчика осуществляется отрицательным фронтом входного сигнала, поступающего на вход С. Сброс счетчика в исходное состояние (0000) производится единичным сигналом, поступающим на вход R через инвертор. Схема 4-разрядного счетчика ИЕ19 и его зарубежного аналога показана на рис. 12, а, б.

Временная диаграмма, характеризующая работу асинхронного счетчика ИЕ19, приведена на рис. 13. Триггеры переключаются последовательно от младшего разряда к старшему при воздействии отрицательного фронта на входе С каждого разряда. Время установления кода в каждом разряде равно времени переключения триггера, а полное время установления выходного кода в данном счетчике будет равно четырем, что соответствует выражению (6).

Асинхронные счетчики отличаются простотой внутренней структуры и находят широкое применение в качестве делителей частоты входного сигнала. Счетчики-делители могут быть с произвольным и управляемым коэффициентом деления. Асинхронные счетчики-делители обычно используются в цифровых устройствах, где не требуется высокое быстродействие.

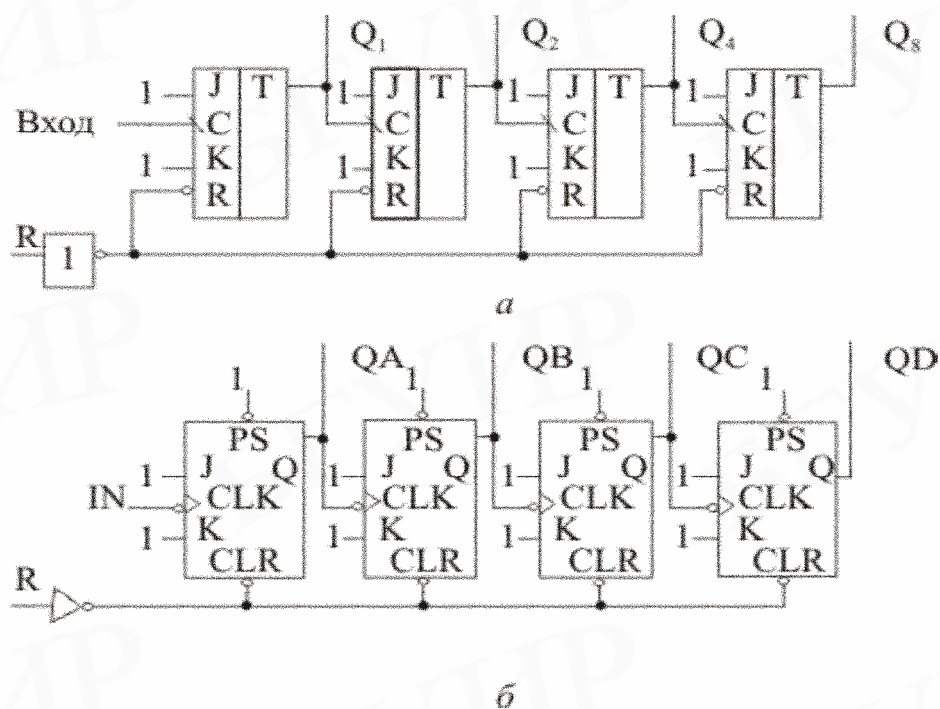


Рис. 12. Схема 4-разрядного асинхронного счетчика ИЕ 19 (а) и 74×393 (б)

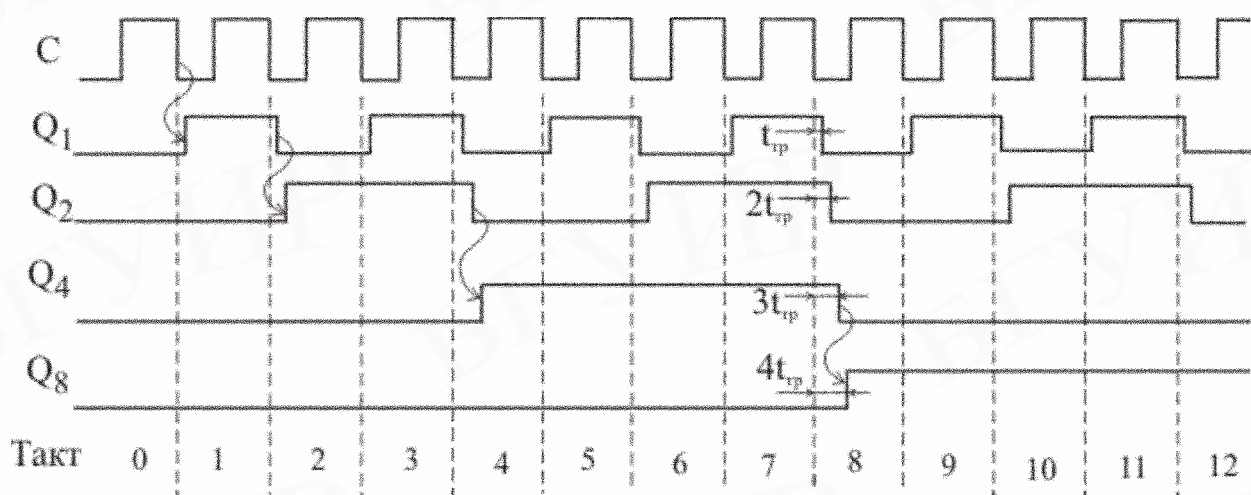


Рис. 13. Временные диаграммы работы асинхронного суммирующего счетчика ИЕ19

5. Синхронные счетчики

Синхронные (или параллельные) счетчики характеризуются тем, что переключение триггеров всех разрядов осуществляется одновременно (синхронно) по единому входному счетному сигналу. На входы синхронизации С параллельно подаются счетные импульсы, поэтому вход С является *счетным входом*. Состояние выхода триггера изменяется на противоположное при поступлении на вход С каждого счетного импульса. В таком режиме

счетчик осуществляет подсчет входных импульсов и фиксирует их в двоичном коде. Счет импульсов может производиться на увеличение (суммирование) или уменьшение (вычитание), начиная с предварительно установленного числа (кода).

Все выпускаемые промышленностью синхронные счетчики переключаются по положительному фронту счетных импульсов, поступающих на его вход. Если примененные в счетчике разрядные триггеры переключаются отрицательным фронтом сигнала, то для обеспечения синхронной работы схемы счетные импульсы подаются на вход счетчика через инвертор, входящий в состав микросхемы. Реализуются синхронные счетчики в основном на D-триггерах.

По сравнению с асинхронными счетчиками управление работой синхронных счетчиков гораздо сложнее. Для одновременного переключения триггеров всех разрядов необходимо с помощью комбинационной логики сформировать сигнал переноса и определить вид межразрядных связей, регламентирующих порядок переключения триггеров до прихода очередных счетных импульсов. Следует отметить, что счетные импульсы, поступающие на вход С, не участвуют в образовании сигналов переноса.

Сигналы переноса вырабатываются дополнительными комбинационными схемами из выходных сигналов триггеров младших разрядов, а также поступающих на вход счетчика сигналов управления или сигналов разрешения EN (Enable). Основными сигналами разрешения в счетчиках являются: EWR (или LD) – разрешение записи (Enable write); ECT (или ENP) – разрешение счета (Enable count); ECR (или ENT) – разрешение переноса (Enable carry).

Здесь в скобках обозначены сигналы разрешения согласно базе данных программы Electronics Workbench.

Рассмотрим основные типы синхронных счетчиков, которые по способу формирования сигналов переноса и организации межразрядных связей подразделяются на следующие группы:

- синхронные счетчики с параллельным переносом сигналов;
- синхронные счетчики с последовательным переносом сигналов;
- синхронные счетчики с параллельно-последовательным или комбинированным переносом сигналов.

5.1. Синхронные счетчики с параллельным переносом сигналов

Данный тип счетчиков строится по синхронному принципу, когда входы S соединены параллельно и триггеры всех разрядов переключаются одновременно под действием входного счетного импульса. Сигналы междуразрядного переноса формируются с помощью комбинационной логики и поступают *параллельно* на информационные входы триггеров. Такие счетчики называются *синхронными с параллельным переносом сигналов*.

Структурная схема 4-разрядного синхронного счетчика с параллельным переносом сигналов представлена на рис. 14.

Структурная схема 4-разрядного синхронного счетчика с параллельным переносом сигналов представлена на рис. 14.



Счетчик является двоичным суммирующим, реализован на синхронных

Т-триггерах. Роль комбинационных схем здесь выполняют многовходовые логические элементы И. Счетные импульсы поступают параллельно на входы С всех триггеров через инвертор, который в данной схеме осуществляет согласование инверсного динамического входа С и прямого динамического входа счетчика, обеспечивая работу схемы по единому фронту счетного импульса.

Временные диаграммы, поясняющие алгоритм работы 4-разрядного синхронного счетчика, изображенного на рис. 14, приведены на рис. 15.

Из приведенных диаграмм следует, что на нулевом такте все разряды счетчика устанавливаются в нулевое состояние. На первом такте триггер младшего разряда переключится в единичное состояние положительным фронтом счетного импульса, поступившего на вход С. В счетчике на выходах $Q_3Q_2Q_1Q_0$ установится код $0001_2 = 1_{10}$.

Последующие триггеры любого старшего разряда будут переключаться положительным фронтом очередного счетного импульса, если сигнал разрешения EN имеет единичное значение и все триггеры младших разрядов установлены в единицу. Если на одном из входов элемента И будет

присутствовать активный уровень лог. 0, то сигнал переноса не формируется и триггер данного разряда сохраняет прежнее состояние.

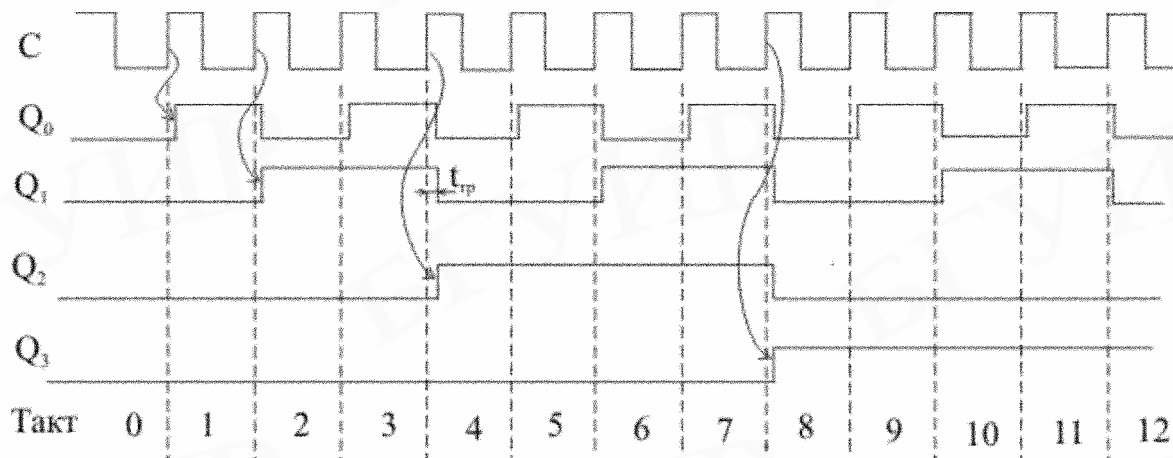


Рис. 15. Временные диаграммы синхронного счетчика

Необходимо отметить, что изменения значений сигналов на выходах триггеров всех разрядов происходят в одно и то же время с задержкой на время установления кода в одном триггере $t_{тр}$ (см. рис. 15) и отличаются от работы асинхронного счетчика (см. рис. 13). Время установления выходного кода в синхронном счетчике с параллельным переносом сигналов равно

$$t_{уст.сч} = t_{уст.тр} . \quad (7)$$

Рассмотренный синхронный счетчик (см. рис. 14) обладает согласно (7) самым высоким быстродействием, которое не зависит от разрядности n . Однако с ростом числа разрядов реализация счетчика затруднена ввиду усложнения комбинационной логики и применения многовыходовых логических элементов, увеличивающих нагрузку на выходы триггеров. Поэтому количество разрядов в синхронных счетчиках не превышает четырех, а для увеличения их разрядности применяются различные способы каскадирования.

Следует обратить внимание на особенность построения синхронных счетчиков с параллельным переносом сигналов. Как отмечалось выше, счетные импульсы в синхронных счетчиках не участвуют в образовании сигналов переноса, поэтому направление счета в таких схемах (прямой или обратный счет) не зависит от динамического управления (прямого или инверсного) по счетному входу C , а зависит только от подключения прямого или инверсного выхода триггера младшего разряда к комбинационной логике, формирующей сигналы переноса.

Таким образом, при подключении прямого выхода триггера счетчик будет суммирующим (см. рис. 14), при подключении инверсного – вычитающим. Такой принцип работы счетчика с параллельным переносом используется при построении реверсивных синхронных счетчиков.

5.2. Синхронный счетчик ИЕ18 (74×163)

Счетчик КР1533ИЕ18 (зарубежный аналог SN74ALS163N) является двоичным 4-разрядным синхронным счетчиком с параллельным переносом сигналов. Упрощенная структурная схема счетчика ИЕ18 соответствует рис. 14. Условные обозначения счетчика ИЕ18 и его аналога 74×163, применяемые на принципиальных схемах, показаны на рис. 16.

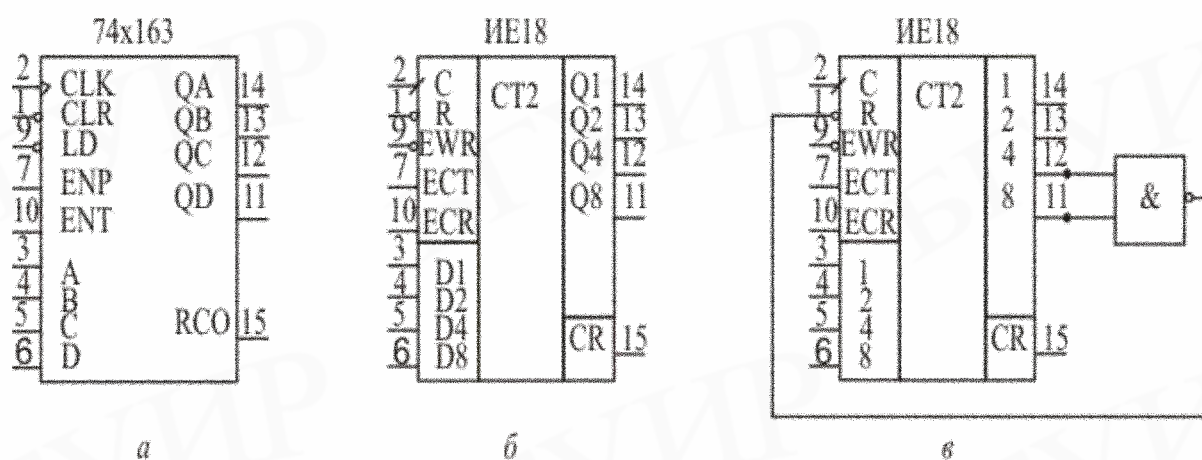


Рис. 16. Синхронные счетчики:

а – 74×163; *б* – ИЕ18 с модулем счета 16;

в – ИЕ18 с модулем счета 13

На входы счетчика $D_8D_4D_2D_1$ подаются сигналы для параллельной записи начального кода по нулевому сигналу разрешения LD (EWR). Счетчик в режиме прямого счета осуществляет подсчет импульсов от 0 до 15 по модулю 16.

Триггеры каждого разряда переключаются одновременно по положительному фронту счетного импульса по входу С (CLK), когда все триггеры младших разрядов находятся в единичном состоянии. Сброс счетчика в нулевое состояние осуществляется синхронно по положительному фронту счетного импульса при подаче на вход $\bar{R}$ ($\sim$ CLR) сигнала лог. 0.

При подаче на выводы микросхемы 1, 7, 9, 10 постоянного сигнала лог. 1 счетчик переключается в непрерывный режим работы. В таком режиме счетчик

будет выполнять функции делителя частоты на 2, 4, 8 или 16, если снимать сигналы соответственно с 14, 13, 12 и 11 выводов микросхемы.

Счетчик может осуществлять счет и по модулю, меньшему чем 16. На рис. 16, в изображена схема, иллюстрирующая работу ИЕ18 с модулем счета 13, счетчик проходит состояния от 0 до 12. Для обнаружения состояния счетчика $Q_8 Q_4 \overline{Q_2} \overline{Q_1}$, соответствующего числу $12_{10}=1100_2$, необходимо включить логический элемент 2И-НЕ согласно рис. 16, в.

Временные диаграммы работы ИЕ18 соответствуют рис. 15, только с тем отличием, что после 12-го такта, когда сформирован код 1100 и сигнал сброса $\overline{R}$, очередным счетным импульсом счетчик сбрасывается в нулевое состояние.

Схема электрическая принципиальная счетчика 74×163, выполненная на зарубежной элементной базе, приведена на рис. 17. Состояния счетчика 74×163 при различных режимах работы отражены в табл. 4.

Счетчик собран на двухступенчатых D-триггерах, на выходах которых $Q_8 Q_4 Q_2 Q_1$ формируется двоичный код, где Q_8 – выход триггера старшего разряда. В состав комбинационной логики входят: инверторы (NOT), многовходовые элементы И (AND), логические элементы Иключающее ИЛИ (EX-OR), двухвходовые мультиплексоры (MUX), реализованные на элементах 2И-ИЛИ (2AND-OR). С помощью комбинационной логики осуществляется формирование сигналов параллельного переноса при поступлении на вход сигналов разрешения EN: параллельной записи EWR (LD), прямого счета ECT (ENP), переноса сигналов ECR (ENT), а также сигналов с выходов триггеров младших разрядов.

Синхронный счетчик ИЕ18 входит в состав всех рассматриваемых в данном пособии серий интегральных микросхем и широко применяется на практике.

5.3. Синхронные счетчики с последовательным переносом сигналов

Счетчики данного типа строятся по синхронному принципу: все входы триггеров С соединяются параллельно и одновременно переключаются положительным фронтом счетного импульса, действующего на входе С. Триггеры младших разрядов при этом должны находиться в единичном состоянии. Однако формирование сигналов переноса комбинационной логикой в таких счетчиках осуществляется *последовательно* от младших разрядов к старшим с определенной задержкой. Такие счетчики получили название *синхронных с последовательным переносом*, или *счетчиков со сквозным переносом*.

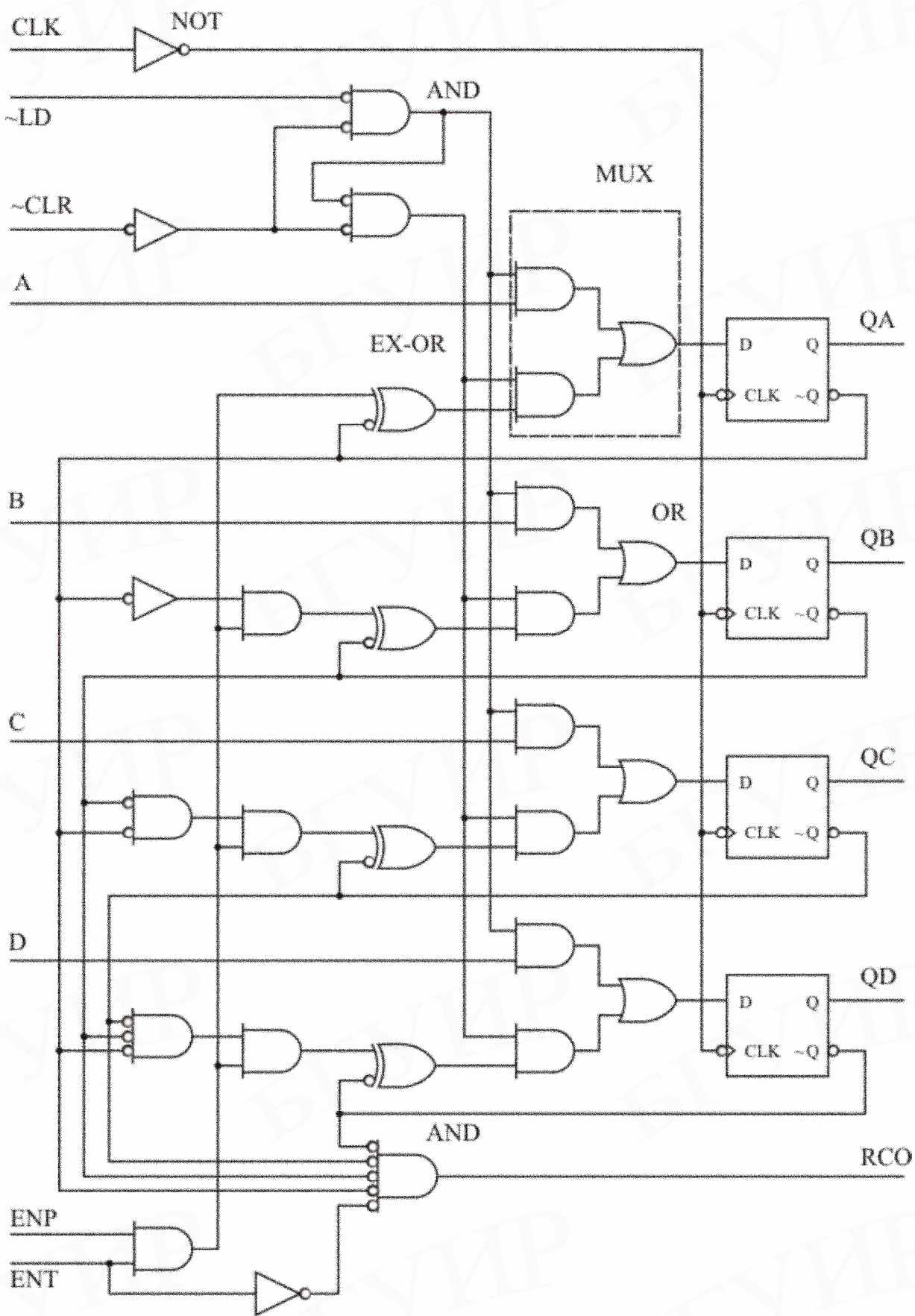


Рис. 17. Принципиальная схема синхронного счетчика 74×163 (IE18)

Состояния 4-разрядного двоичного счетчика 74×163 (ИЕ18)

Входы				Текущее состояние				Следующее состояние				Режим работы
~CLR	~LD	ENT	ENP	QD	QC	QB	QA	QD ⁺	QC ⁺	QB ⁺	QA ⁺	
0	x	x	x	x	x	x	x	0	0	0	0	Сброс Запись Хранение Хранение
1	0	x	x	x	x	x	x	D	C	B	A	
1	1	0	x	x	x	x	x	QD	QC	QB	QA	
1	1	x	0	x	x	x	x	QD	QC	QB	QA	
1	1	1	1	0	0	0	0	0	0	0	1	Прямой счет
1	1	1	1	0	0	0	1	0	0	1	0	
1	1	1	1	0	0	1	0	0	0	1	1	
1	1	1	1	0	0	1	1	0	1	0	0	
1	1	1	1	0	1	0	0	0	1	0	1	
1	1	1	1	0	1	0	1	0	1	1	0	
1	1	1	1	0	1	1	0	0	1	1	1	
1	1	1	1	0	1	1	1	1	0	0	0	
1	1	1	1	1	0	0	0	1	0	0	1	
1	1	1	1	1	0	0	1	1	0	1	0	
1	1	1	1	1	0	1	0	1	0	1	1	
1	1	1	1	1	0	1	1	1	1	0	0	
1	1	1	1	1	1	0	0	1	1	0	1	
1	1	1	1	1	1	0	1	1	1	1	0	
1	1	1	1	1	1	1	0	1	1	1	1	
1	1	1	1	1	1	1	1	0	0	0	0	

На рис. 18 приведен пример реализации 4-разрядного суммирующего синхронного счетчика с последовательным переносом сигнала.

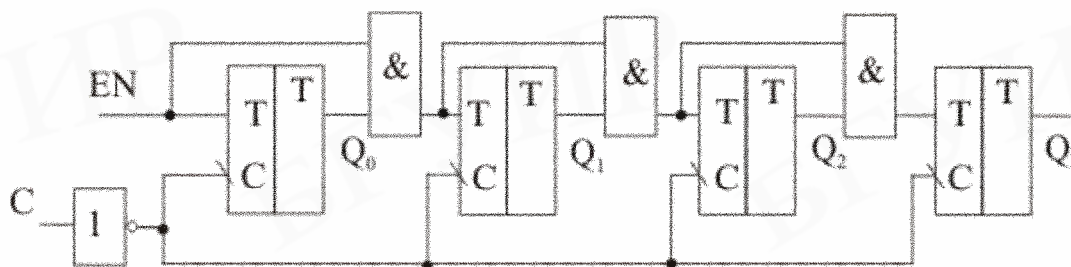


Рис. 18. Структурная схема синхронного счетчика с последовательным переносом сигналов

Схема счетчика выполнена на счетных триггерах. Комбинационная логика реализована на однотипных двухвходовых логических элементах И, что является достоинством данной схемы по отношению к синхронным счетчикам с параллельным переносом (см. рис. 14).

На первый логический элемент И подаются сигналы разрешения EN и выходной сигнал младшего разряда Q_0 , на последующие элементы И поступают сигналы Q с выходов младших разрядов и сигналы переноса, сформированные на выходах предыдущих элементов И.

Быстродействие синхронных счетчиков с последовательным переносом сигналов определяется временем переключения одного триггера $t_{тр}$ и временем запаздывания в междуразрядных комбинационных схемах $t_{кс}$. Для синхронного счетчика (рис. 18) время установления выходного кода равно

$$t_{уст} = t_{тр} + t_{кс}, \quad (8)$$

где $t_{кс}$ – время запаздывания логического элемента И.

Данный метод переноса используется при построении счетчиков с комбинированным (групповым) переносом сигналов.

5.4. Счетчики с комбинированным переносом сигналов

Суть комбинированного переноса сигналов заключается в том, что триггеры в счетчике объединяются в группы (обычно по четыре разряда в каждой группе). Внутри каждой группы и между группами осуществляется параллельно-последовательный или последовательно-параллельный перенос сигналов. Счетные устройства, использующие такие методы переноса, называются счетчиками с комбинированным (или групповым) переносом сигналов. Такие счетчики используются при каскадировании с целью увеличения их разрядности.

Рассмотрим примеры построения 12-разрядных счетчиков с комбинированным переносом, построенных на основе трех синхронных счетчиков ИЕ18.

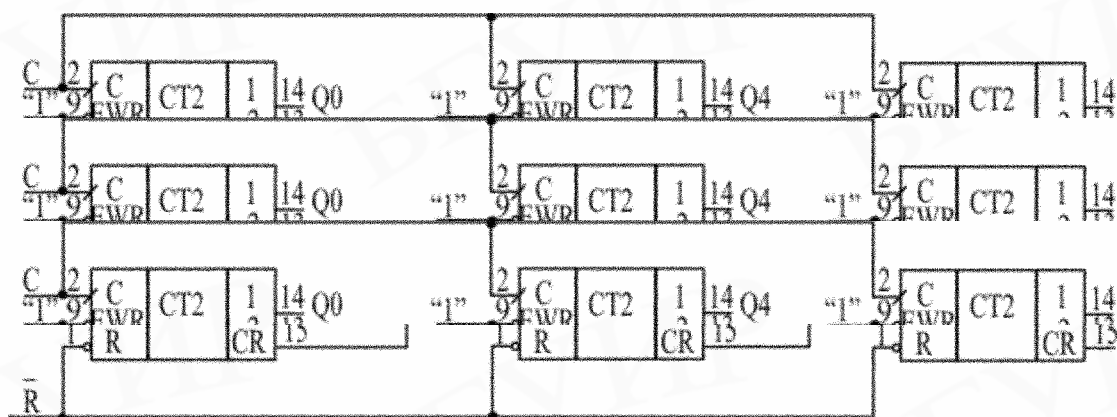


Рис. 19. Комбинированный 12-разрядный счетчик с параллельным переносом сигналов

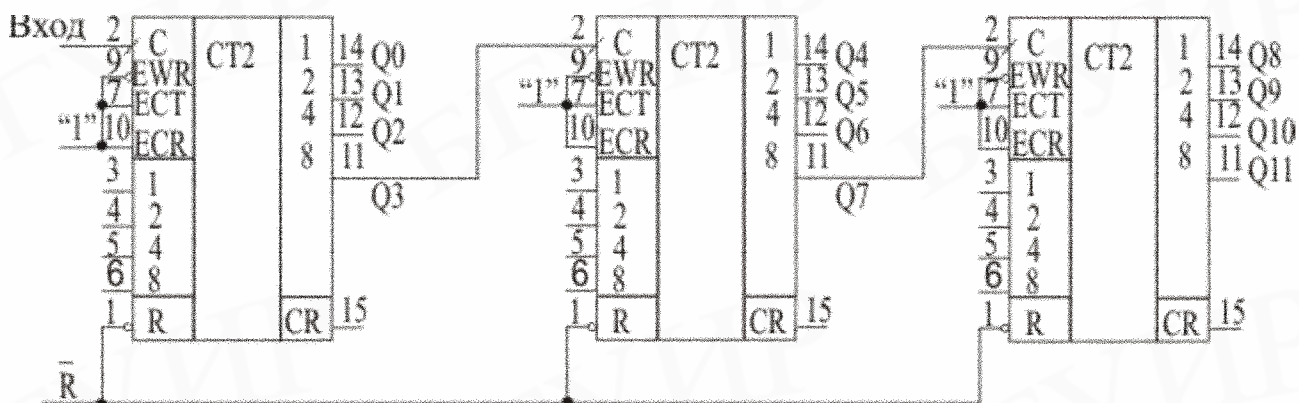


Рис. 20. Комбинированный 12-разрядный счетчик с последовательным переносом сигналов

Как было отмечено ранее, счетчик ИЕ18 является синхронным с параллельным переносом сигналов. Все разряды одного счетчика (одной группы триггеров) переключаются одновременно положительным фронтом счетного импульса С. Согласно рис. 19 межразрядный перенос сигналов между счетчиками осуществляется одновременно, так как входы С трех счетчиков соединены параллельно.

Счетчики ИЕ18, как и все синхронные счетчики, имеют специальные цепи переноса, а также выход переноса CR (RCO) и вход разрешения переноса ECR (ENT). Положительный сигнал переноса CR вырабатывается при установлении в каждом счетчике максимального кода 1111 и при положительном сигнале Р на входе разрешения ECR.

12-разрядный счетчик (см. рис. 19) является синхронным с *параллельным переносом* сигналов и называется *полностью синхронным*.

Сигналы переноса в 12-разрядном счетчике, представленном на рис. 20, поступают от одной схемы ИЕ18 к другой последовательно. В данном случае разряды каждого счетчика (или группы триггеров) переключаются одновременно и время установления выходного кода в группе равно $t_{гр}$, а сигналы переноса между группами имеют некоторую задержку $t_{зп}$, которая увеличивается с ростом числа групп $N_{гр}$. Тогда время установления выходного кода в счетчике будет равно

$$t_{уст} = t_{гр} + (N_{гр} - 1) \cdot t_{зп}. \quad (9)$$

12-разрядный счетчик (см. рис. 20) является синхронным с *последовательным переносом* сигналов между группами.

6. Программа работы

Задания выполняются с использованием программы Electronics Workbench (EWB), которая содержит большую базу данных по радиоэлектронным элементам. Для выполнения лабораторной работы необходимо изучить работу функционального генератора (Function Generator), генератора логических сигналов (Word Generator), анализатора логических сигналов (Logic Analyzer) и логического преобразователя (Logic Converter).

6.1. Собрать схемы 4-разрядных суммирующего, вычитающего и реверсивного счетчиков.

6.2. Проанализировать работу счетчиков с помощью программы EWB. Входные сигналы подать от функционального генератора ($F_{\text{ФГ}} = 1 \dots 10 \text{ кГц}$, $U' = 5 \text{ В}$). Выходные сигналы подавать на анализатор логических сигналов ($F_{\text{АЛС}} > F_{\text{ФГ}} = 10 \dots 100 \text{ кГц}$).

6.3. С помощью анализатора логических сигналов получить временные диаграммы функционирования счетчиков. Для контроля работы счетчиков на выходы триггеров подключить семисегментные индикаторы согласно двоичному коду 8421.

6.4. Составить таблицы переключений счетчиков.

6.5. Исследовать работу 4-разрядного суммирующего счетчика с модулем счета $M \neq 2^n$ (т.е. равным 10, 11, 12, 13) или другим модулем по указанию преподавателя.

6.6. Увеличивая частоту входного сигнала, исследовать быстродействие счетчиков.

6.7. Тип триггера задается преподавателем. Упрощенная схема экспериментальных исследований счетчика приведена на рис. 21.

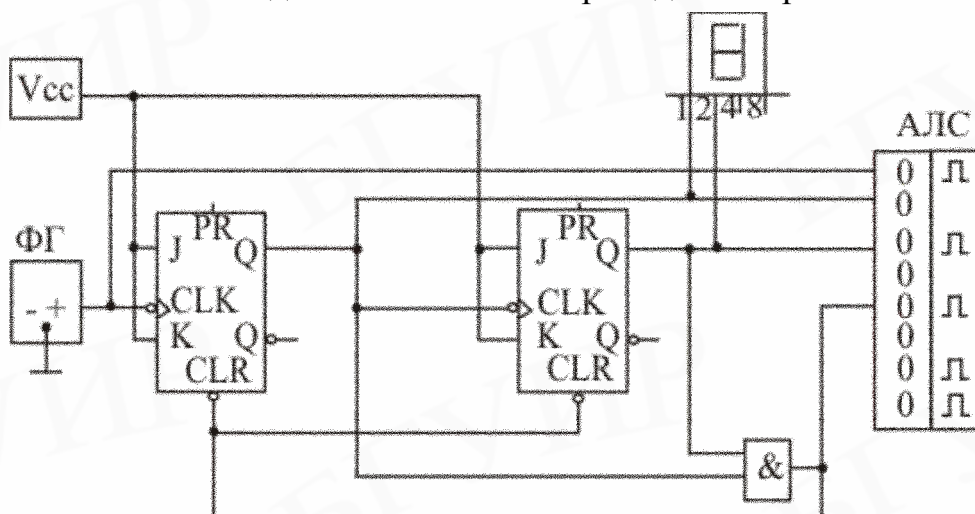


Рис. 21. Схема экспериментальных исследований суммирующего счетчика

7. Содержание отчета

- 7.1. Цель работы.
- 7.2. Схемы исследуемых счетчиков.
- 7.3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов.
- 7.4. Результаты исследований.

8. Контрольные вопросы

1. По каким признакам классифицируются электронные счетчики?
2. Назовите основные параметры счетчиков.
3. Приведите структурные схемы суммирующего, вычитающего и реверсивного счетчика.
4. Назовите основные способы межразрядного переноса сигналов в счетчиках.
5. Чем различаются между собой асинхронные и синхронные счетчики?
6. Каким образом достигается повышение быстродействия счетчиков?
7. Как построить счетчик с произвольным модулем счета?
8. Изобразите временные диаграммы, поясняющие работу асинхронного и синхронного суммирующего счетчика.
9. Нарисуйте схему трехразрядного суммирующего двоичного счетчика с параллельным переносом сигналов. Какие преимущества характерны для такого счетчика по сравнению со счетчиком с последовательным переносом?

ЛИТЕРАТУРА

1. Браммер, Ю. А. Цифровые устройства: учеб. пособие для вузов / Ю. А. Браммер, И. Н. Пашук. – М. : Высш. шк., 2004. – 229 с.
2. Угрюмов, Е. П. Цифровая схемотехника : учеб. пособие для вузов / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2004. – 528 с.
3. Новиков, Ю. В. Основы цифровой схемотехники / Ю. В. Новиков. – М. : Мир, 2001. – 379 с.
4. Уэйкерли, Дж. Проектирование цифровых устройств : в 2 т. / Дж. Уэйкерли; пер. с англ. – М. : Постмаркет, 2002. – 1072 с.
5. Логические ИС КР1533, КР1554 : справочник. В 2 ч. / И. И. Петровский [и др.]. – М. : ТОО «БИНОМ», 1993. – 496 с.
6. Опадчий, Ю. Ф. Аналоговая и цифровая электроника : учебник для вузов / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров. – М. : Горячая линия – Телеком, 2003. – 768 с.

Учебное издание

Левкович Василий Николаевич
Ходасевич Реональд Григорьевич

ИССЛЕДОВАНИЕ ЭЛЕКТРОННЫХ СЧЕТЧИКОВ

Методическое пособие
к лабораторной работе по курсу
«Цифровые устройства»
для студентов радиотехнических специальностей
всех форм обучения

Редактор Т. Н. Крюкова
Корректор М. В. Тезина

Подписано в печать 14.01.2008.
Гарнитура «Таймс».
Уч.-изд. л. 1,5.

Формат 60х84 1/16.
Печать ризографическая.
Тираж 130 экз.

Бумага офсетная.
Усл. печ. л. 1,86.
Заказ 618.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131666 от 30.04.2004.
220013, Минск, П. Бровки, 6