

Министерство образования Республики Беларусь  
Учреждение образования  
«Белорусский государственный университет  
информатики и радиоэлектроники»

Кафедра радиотехнических систем

***ИССЛЕДОВАНИЕ ТРИГГЕРОВ,  
РЕГИСТРОВ И СЧЕТЧИКОВ***

Методические указания

к лабораторной работе  
по курсу «Импульсные и цифровые устройства»  
для студентов специальностей 39 01 01 «Радиотехника»  
и 39 01 02 «Радиоэлектронные системы»  
всех форм обучения

Минск 2003

УДК 621.374 (075.8)  
ББК 32.847 я 73  
И 85

С о с т а в и т е л ь  
И.И. Ивлев

**Исследование** триггеров, регистров и счетчиков: Метод. указания И 85 к лабораторной работе по курсу «Импульсные и цифровые устройства» для студ. спец. 39 01 01 «Радиотехника» и 39 01 02 «Радиоэлектронные системы» всех форм обучения / Сост. И.И. Ивлев. – Мн.: БГУИР, 2003. – 23 с.: ил.

В методических указаниях рассматриваются различные виды триггеров, регистров и счетчиков, их классификация, основные физические процессы, происходящие в них, возможности преобразования и замены одних видов другими видами указанных устройств. Методические указания предназначены для начинающих изучение различных цифровых и импульсных устройств и потому содержат лишь основные сведения по указанным вопросам, необходимые для продолжения изучения указанного учебного курса, а также курса «Вычислительные и микропроцессорные устройства».

УДК 621.374 (075.8)  
ББК 32.847 я 73

## Содержание

1. ЦЕЛЬ РАБОТЫ
2. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ
3. ПРОГРАММА РАБОТЫ
4. СОДЕРЖАНИЕ ОТЧЁТА
5. КОНТРОЛЬНЫЕ ВОПРОСЫ
6. ЛИТЕРАТУРА

## 1. ЦЕЛЬ РАБОТЫ

Целью работы является изучение принципов построения основных типов триггеров, регистров и счетчиков.

## 2. ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

### 2.1. Триггеры

#### 2.1.1. Общие замечания

Триггером называется устройство, имеющее два устойчивых состояния и способное под действием входных сигналов скачком переходить из одного устойчивого состояния в другое. Триггер – это простейший цифровой автомат с памятью и способностью хранить 1 бит (*binary digit* – двоичный разряд) информации. В основе любого триггера находится регенеративное кольцо из двух инверторов. Триггер имеет два выхода: прямой  $Q$  и инверсный  $\bar{Q}$ . Состояние триггера определяется значением потенциала на прямом выходе. Если, например, на прямом выходе имеется потенциал, соответствующий логической 1, то триггер находится в единичном состоянии (при этом потенциал на инверсном выходе соответствует логическому 0). В противном случае триггер находится в нулевом состоянии. Число входов зависит от структуры и функций, выполняемых триггером. В настоящее время существует несколько разновидностей триггерных схем, которые появились как результат разработки новых цепей запуска.

По способу записи информации триггеры делятся на асинхронные (несинхронизируемые) и синхронные (синхронизированные). У асинхронных триггеров запись информации (переключение триггера) происходит под действием информационных сигналов. Такие триггеры имеют только информационные входы. У синхронных триггеров запись информации происходит под действием разрешающих сигналов синхронизации.

Синхронные триггеры бывают со статическим управлением записью, с динамическим управлением записью и двухступенчатые.

Синхронные триггеры со статическим управлением записью принимают информационные сигналы все время, пока действует импульс синхронизации. Следовательно, за время действия импульса синхронизации переключение триггера может быть многократным. У таких триггеров вход  $C$  – статический.

Синхронные триггеры с динамическим управлением записью принимают только те информационные сигналы, которые были на информационных входах к моменту прихода синхронизирующего импульса. У таких триггеров вход  $C$  – динамический.

Синхронные двухступенчатые триггеры состоят из двух ступеней. Запись информации в первую ступень производится с появлением синхронизирующего импульса, а во вторую ступень – после окончания действия синхронизирующе-

го импульса. Следовательно, двухступенчатые триггеры задерживают выходную информацию на время, равное длительности синхронизирующего импульса. Такие триггеры называют еще триггерами с внутренней задержкой.

В составе различных серий существуют микросхемы, содержащие *RS*-, *D*- и *JK*-триггеры. На базе синхронного *RS*-триггера, *D*- и *JK*-триггеров также возможно создание *T*-триггера. Приняты следующие обозначения входов триггеров:

*S* – отдельный вход установки триггера в единичное состояние по прямому выходу *Q* (Set – установка);

*R* – отдельный вход сброса триггера в нулевое состояние по прямому выходу *Q* (Reset – сброс);

*D* – информационный вход (Data input); на него подается информация, предназначенная для записи в триггер;

*T* – счетный вход (Toggle – переключатель);

*C* – вход синхронизации (Clock input).

Назначение входов *J* и *K* такое же, как и входов *S* и *R* (установка и сброс). Буквы *J* и *K* были выбраны в свое время авторами как соседние в алфавите (сравните *R* и *S*).

### 2.1.2. RS-триггеры

***RS-триггер*** – это триггер с отдельной установкой состояний логического нуля и единицы (с отдельным запуском). Он имеет два информационных входа *S* и *R*. По входу *S* триггер устанавливается в состояние  $Q = 1$  ( $\bar{Q} = 0$ ), а по входу *R* – в состояние  $Q = 0$  ( $\bar{Q} = 1$ ).

***Асинхронные RS-триггеры.*** Они являются наиболее простыми триггерами. В качестве самостоятельного устройства применяются редко, но являются основой для построения более сложных триггеров. В зависимости от логической структуры различают *RS*-триггеры с прямыми и инверсными входами. Их схемы и условные обозначения приведены на рис. 1, 2. Триггеры такого типа построены на двух логических элементах: 2 ИЛИ-НЕ – триггер с прямыми входами (рис. 1, а, б), 2 И-НЕ – триггер с инверсными входами (рис. 2, а, б). Выход каждого из логических элементов подключен к одному из входов другого элемента, что обеспечивает триггеру два устойчивых состояния.

Состояния триггеров под воздействием определенной комбинации входных сигналов приведены в таблице функционирования (состояний) (табл. 1).

В таблице  $Q^n$  ( $\bar{Q}^n$ ) обозначены уровни, которые были на выходах триггера до подачи на его входы так называемых активных уровней. Активным называют логический уровень, действующий на входе логического элемента и однозначно определяющий логический уровень выходного сигнала (независимо от логических уровней, действующих на остальных входах). Для элементов ИЛИ-НЕ за активный уровень принимают высокий уровень – 1, а для элементов И-НЕ – низкий уровень – 0.

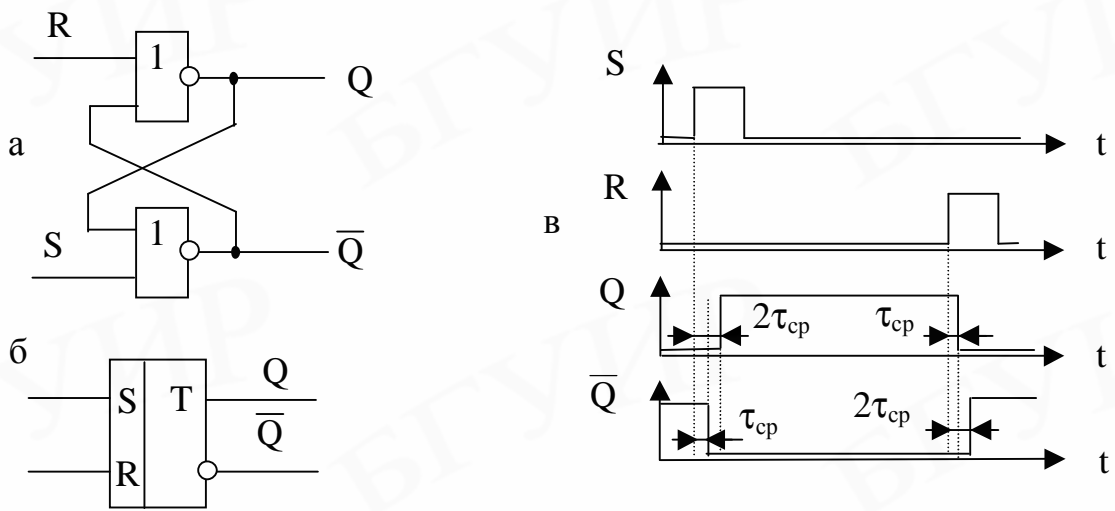


Рис. 1. Асинхронный RS-триггер на элементах ИЛИ-НЕ

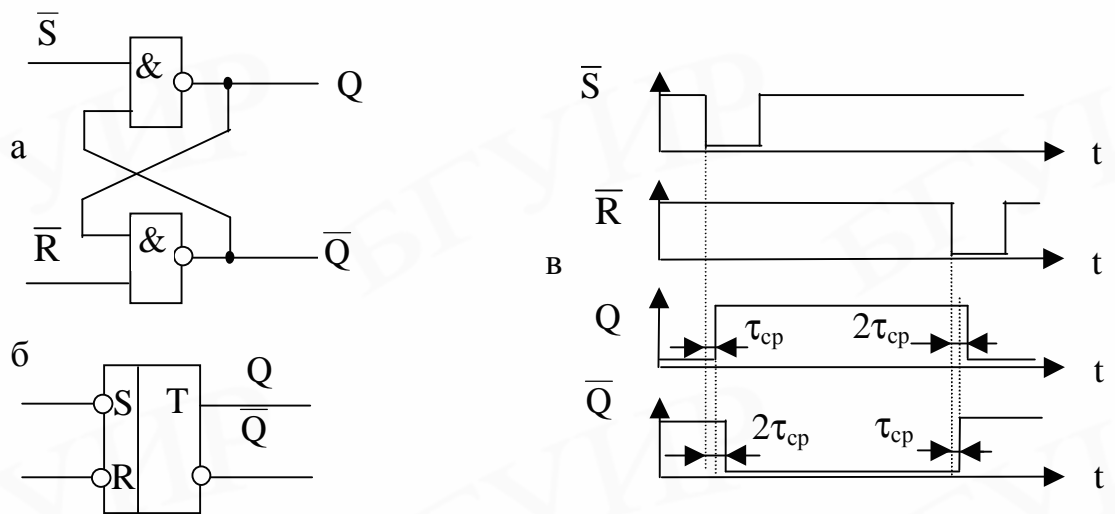


Рис. 2. Асинхронный RS-триггер на элементах И-НЕ

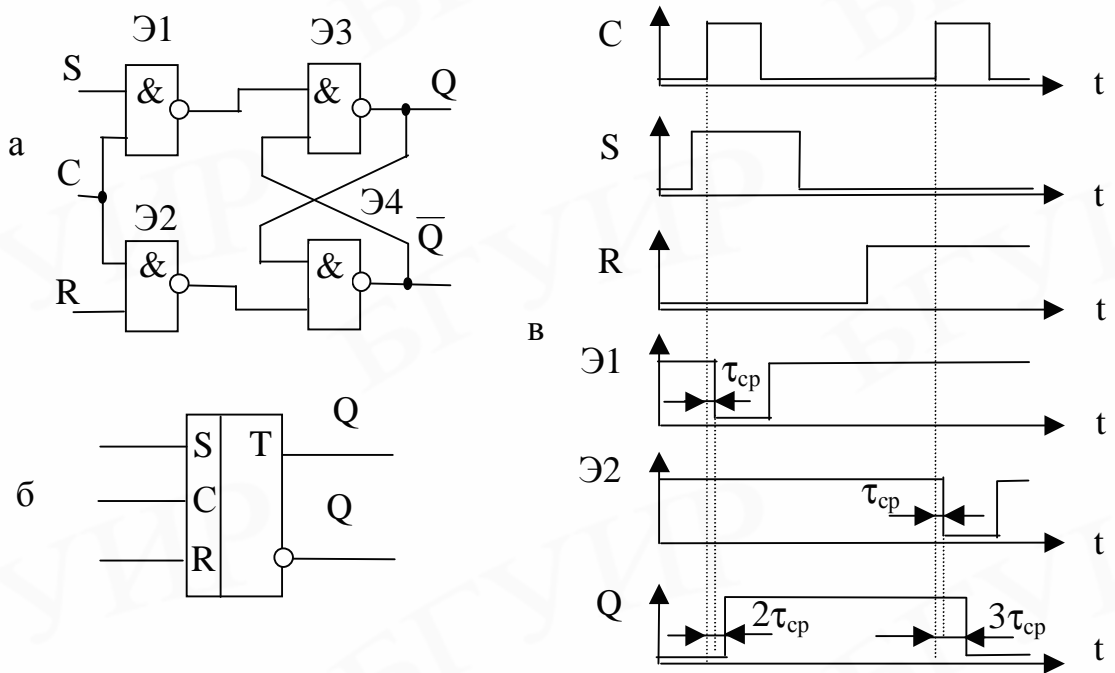


Рис. 3. Синхронный RS-триггер

## Состояния асинхронных RS-триггеров

Входы		Выходы			
S	R	Логика И-НЕ		Логика ИЛИ-НЕ	
		$Q^{n+1}$	$\bar{Q}^{n+1}$	$Q^{n+1}$	$\bar{Q}^{n+1}$
0	0	×		$Q^n$	$\bar{Q}^n$
1	0	0	1	1	0
0	1	1	0	0	1
1	1	$Q^n$	$\bar{Q}^n$	×	

Уровни, подача которых на один из входов не приводит к изменению логического уровня на выходе элемента, называют пассивными. Уровни  $Q^{n+1}$  ( $\bar{Q}^{n+1}$ ) обозначают логические уровни на выходах триггера после подачи информации на его входы. Для триггера с прямыми входами при подаче на вход комбинации сигналов  $S = 1, R = 0$  на выходе получим  $Q^{n+1} = 1 (\bar{Q}^{n+1} = 0)$ . Такой режим называют режимом записи логической единицы.

Если со входа  $S$  снять единичный сигнал, т.е. установить на входе  $S$  нулевой сигнал, то состояние триггера не изменится. Режим  $S = 0, R = 1$  называют режимом хранения информации, так как информация на выходе остается неизменной.

При подаче входных сигналов  $S = 0, R = 1$  произойдет переключение триггера, а на выходе будет  $Q^{n+1} = 0 (\bar{Q}^{n+1} = 1)$ . Такой режим называют режимом записи логического нуля (режим сброса). При  $S = R = 1$  состояние триггера будет неопределенным, так как во время действия информационных сигналов логические уровни на выходах триггера одинаковы ( $Q^{n+1} = \bar{Q}^{n+1} = 0$ ), а после окончания их действия триггер может равновероятно принять любое из двух устойчивых состояний. Поэтому такая комбинация  $S = R = 1$  является запрещенной.

Для триггера с инверсными входами режим записи логической единицы реализуется при  $\bar{S} = 0, \bar{R} = 1$ , режим записи логического нуля – при  $\bar{S} = 1, \bar{R} = 0$ . При  $\bar{S} = \bar{R} = 1$  обеспечивается хранение информации. Комбинация входных сигналов  $\bar{S} = \bar{R} = 0$  является запрещенной.

Одной из основных характеристик триггера является его быстродействие, которое характеризуется: задержкой переключения триггера  $t_t$ ; длительностью сигнала записи информации в триггер  $t_u$ ; рабочей и максимальной частотой переключения триггера  $F_p$  и  $F_{max}$ .

Из временных диаграмм (рис. 1, в; рис. 2, в) следует, что задержка переключения асинхронных RS-триггеров составит сумму задержек переключе-

чения двух логических элементов, на которых выполнены триггеры  $t_t = t_{10} + t_{01} = 2t_{cp}$ .

Длительность сигнала на входах  $R$  и  $S$  для устойчивого функционирования должна быть не меньше времени переключения триггера, т.е.  $t_u = 2t_{cp}$ .

Максимальная частота переключения триггера определяется минимально допустимым временным интервалом между двумя последовательными сигналами минимальной длительности, поступающими поочередно на входы  $S$  и  $R$ :

$$F_{\max} = 1/t_t = 1/2t_{cp}.$$

Поступление очередного входного импульса допускается только после окончания переходных процессов в триггере. Однако при  $F_{\max}$  длительность выходных сигналов не будет превышать  $t_{cp}$ .

Такие сигналы являются недостаточными для надежной передачи информации в логическую цепь, поэтому  $F_p$  определяется как

$$F_p = 1/3t_{cp}.$$

**Синхронные RS-триггеры.** Триггерные ячейки – это основа делителей частоты, счетчиков и регистров. В этих устройствах записанную ранее информацию по специальному сигналу, называемому тактовым, следует передать на выход и переписать в следующую ячейку. Для осуществления такого режима в RS-триггер необходимо ввести дополнительный вход  $C$ , который может быть статическим или динамическим, т.е. получить синхронный RS-триггер.

Схема синхронного RS-триггера на логических элементах И-НЕ со статическим управлением записью (вход  $C$  – статический) и его условное обозначение приведены на рис. 3, а, б. Элементы Э1 и Э2 образуют схему управления, а элементы Э3 и Э4 – асинхронный RS-триггер. Иногда такой триггер называют RST-триггером (если вход  $C$  считать тактовым входом  $T$ ).

Триггер имеет прямые статические входы, поэтому управляющим сигналом является уровень логической единицы.

Если на вход  $C$  подать сигнал логической единицы  $C = 1$ , то работа триггера аналогична работе простейшего асинхронного RS-триггера. При  $C = 0$  входы  $S$  и  $R$  не оказывают влияния на состояние триггера. Комбинация сигналов  $S = R = C = 1$  является запрещенной.

Параметры, характеризующие быстродействие синхронного RS-триггера (рис. 3, в):

$$t_t = 3t_{cp}; \quad t_u \geq 3t_{cp}; \quad F_p = 1/4t_{cp}.$$

**Синхронный RS-триггер с динамическим управлением записью** функционирует согласно сигналам, которые были на информационных входах  $S$  и  $R$



к моменту появления перепада на входе  $C$ . Схема такого триггера, его условное обозначение даны на рис. 4, а, б. Элементы Э1 – Э4 образуют схему управления, а Э5 и Э6 – асинхронный  $RS$ -триггер, выполняющий роль элемента памяти. У данного триггера входы  $S$  и  $R$  инверсные статические (управляющий сигнал – уровень логического нуля), вход  $C$  – прямой динамический. Новое состояние триггера устанавливается положительным перепадом напряжения (от уровня логического нуля до уровня логической единицы) на входе  $C$  в соответствии с сигналами на информационных входах  $S$  и  $R$ . Функционирование триггера при некоторых комбинациях входных сигналов можно проследить с помощью таблицы состояний (табл. 2).

Таблица 2

Состояния синхронного  $RS$ -триггера с динамическим  $C$ -входом

Входы			Внутренние выходы элементов				Выходы	
$\bar{S}$	$\bar{R}$	$C$	Э1	Э2	Э3	Э4	$Q$	$\bar{Q}$
1	1	×	0	1	1	0	0	1
0	1	×	1	1	1	0	0	1
0	1	0→1	1	0	1	0	1	0
1	0	0→1	1	0	1	1	1	0
1	0	×	0	1	1	1	1	0
1	0	0→1	0	1	0	1	0	1

Синхронный двухступенчатый  $RS$ -триггер (master-slave, что переводится «мастер-помощник») состоит из двух синхронных  $RS$ -триггеров и инвертора (рис. 5). Входы  $C$  обоих триггеров соединены между собой через инвертор Э5. Если каждый из триггеров имеет установку положительным перепадом, то входная  $RS$ -комбинация будет записана в первую ступень в момент прихода положительного перепада тактового импульса  $C$ , т.е. если  $C = 1$ , то первый триггер функционирует согласно сигналам на его входах  $S$  и  $R$ . Второй триггер функционировать не может, так как у него  $C = 0$ . Когда придет отрицательный перепад тактового импульса  $C$ , на выходе инвертора Э5 он появится как положительный. Тогда первый триггер не функционирует, а для второго триггера  $C = 1$ , и данные от выходов первого триггера переписуются в триггер второй ступени. Сигнал на выходе появится с задержкой, равной длительности тактового импульса.

Из схемы двухступенчатого триггера (см. рис. 5) следует, что переключенные триггера – «мастера» происходят с задержкой  $t_{tm} = 3t_{cp}$ . Такой же должна быть минимальная длительность тактового импульса:  $t_u > 3t_{cp}$ . Задержка переключения триггера – «помощника» складывается из задержки распространения сигнала в инверторе Э5 и в триггере, т.е.  $t_{ts} = 4t_{cp}$ . Таким образом, максимальная частота переключения триггера  $F_{\max} = 1/7t_{cp}$ .

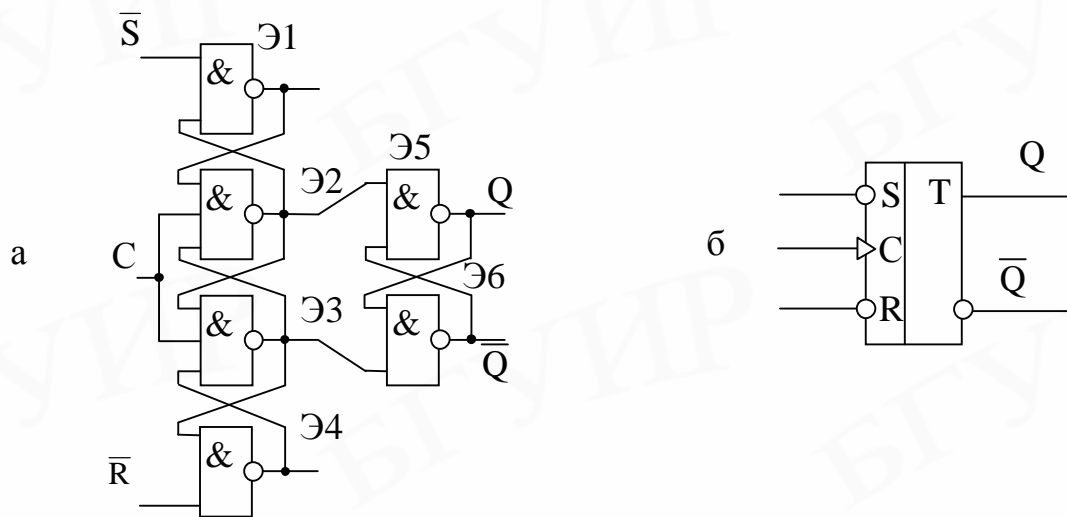


Рис. 4. Синхронный RS-триггер с динамическим управлением

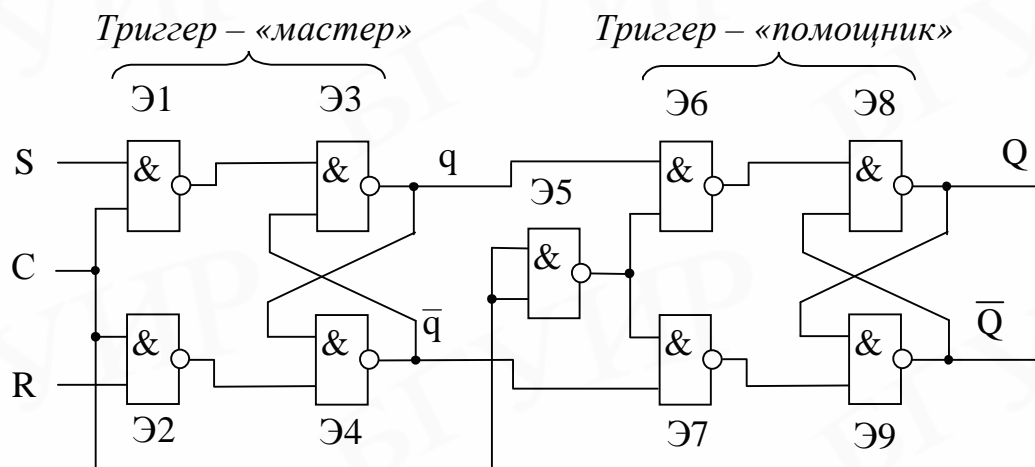


Рис. 5. Синхронный двухступенчатый RS-триггер с инвертором

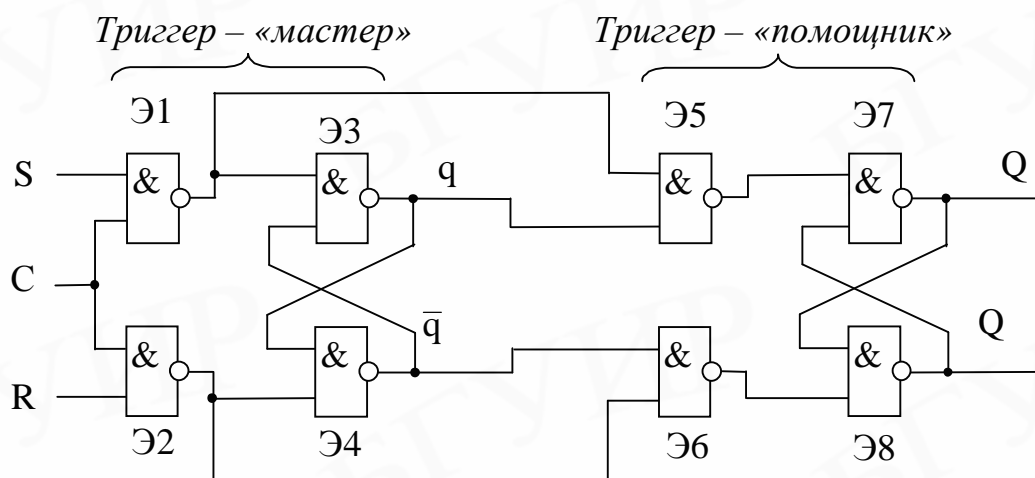


Рис. 6. Синхронный двухступенчатый RS-триггер с запрещающими связями

Двухступенчатый  $RS$ -триггер может быть построен и без инвертора, т.е. по схеме с запрещающими связями (рис. 6). Такой триггер несколько проще триггера с инвертором.

### 2.1.3. T-триггеры

Очень часто необходимо использовать триггер для деления частоты входной последовательности импульсов на два, т.е. производить переключение триггера в новое состояние каждым входным импульсом (фронтом или спадом). Такой триггер называют счетным, или ***T-триггером***. Он имеет один управляющий вход  $T$ . Триггер такого типа может быть создан на базе синхронного  $RS$ -триггера, если прямой выход  $Q$  соединить со входом  $R$ , а инверсный выход  $\bar{Q}$  соединить со входом  $S$ , на вход синхронизации  $C$  подать входную последовательность импульсов (т.е. это будет  $T$ -вход). На рис. 7, а, б показаны схемы триггера, а на рис. 7, в – временные диаграммы работы.

### 2.1.4. D-триггеры

***D-триггером*** называется триггер с одним информационным входом, работающий так, что сигнал на выходе после переключения равен сигналу на входе  $D$  (*delay* – задержка) до переключения, т.е.  $Q^{n+1} = D^n$ . Основное назначение  $D$ -триггеров – задержка сигнала, поданного на вход  $D$ . Он имеет информационный вход  $D$  (вход данных) и вход синхронизации  $C$ . Вход синхронизации  $C$  может быть статическим (потенциальным) и динамическим. У триггеров со статическим входом  $C$  информация записывается в течение времени, при котором уровень сигнала  $C = 1$ . В триггерах с динамическим входом  $C$  информация записывается только в течение перепада напряжения на входе  $C$ . Динамический вход изображают на схемах треугольником. Если вершина треугольника обращена в сторону микросхемы (прямой динамический вход), то триггер срабатывает по фронту входного импульса, если от нее (инверсный динамический вход) – по срезу импульса. В таком триггере информация на выходе может быть задержана на один такт по отношению ко входной информации.

$D$ -триггеры могут быть построены по различным схемам. На рис. 8, а, б показаны схема одноступенчатого  $D$ -триггера на элементах И-НЕ и его условное обозначение. Триггер имеет прямые статические входы (управляющий сигнал – уровень логической единицы). На элементах Э1 и Э2 выполнена схема управления, а на элементах Э3 и Э4 – асинхронный  $D$ -триггер.

Если уровень сигнала на входе  $C = 0$ , состояние триггера устойчиво и не зависит от уровня сигнала на информационном входе  $D$ . При этом на входы асинхронного  $D$ -триггера с инверсными входами (Э3 и Э4) поступают пассивные уровни  $\bar{S} = \bar{R} = 1$ . При подаче на вход синхронизации уровня  $C = 1$  информация на прямом выходе будет повторять информацию, подаваемую на вход  $D$ .

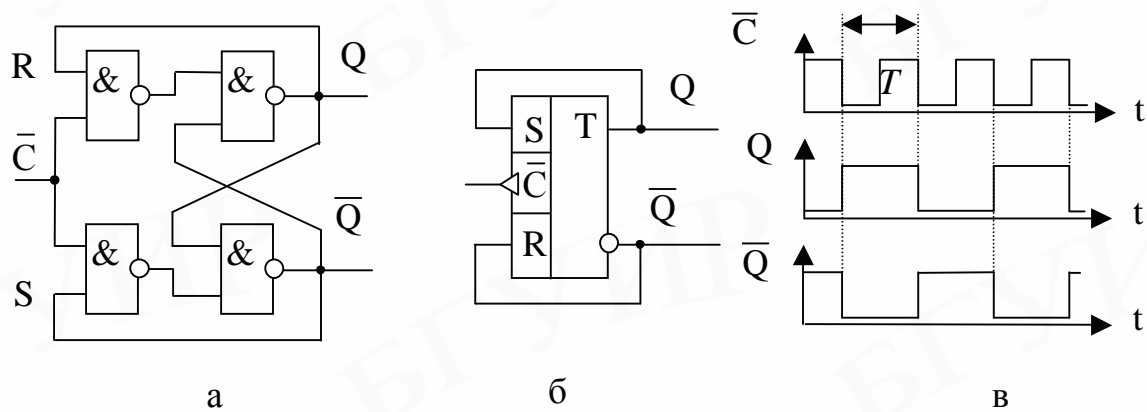


Рис. 7. Т-триггер, его обозначение и временные диаграммы

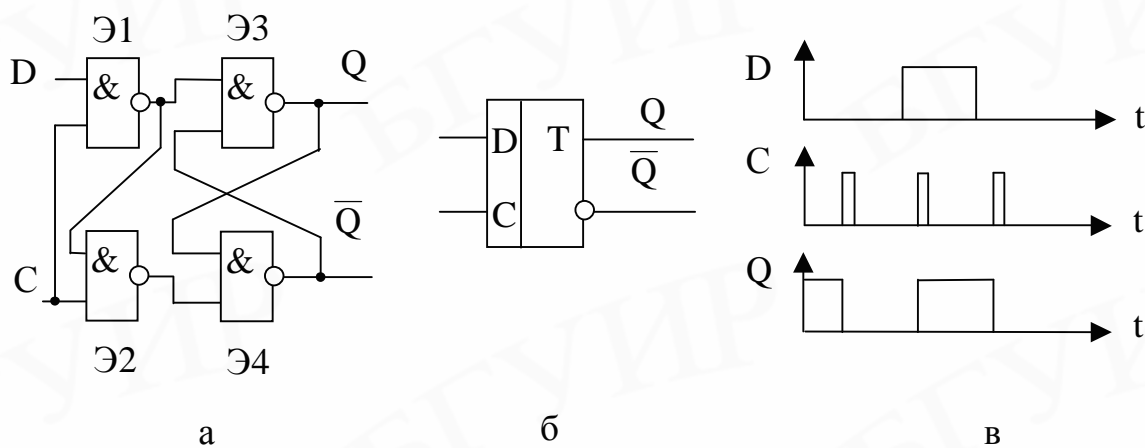


Рис. 8. Одноступенчатый D-триггер на элементах И-НЕ

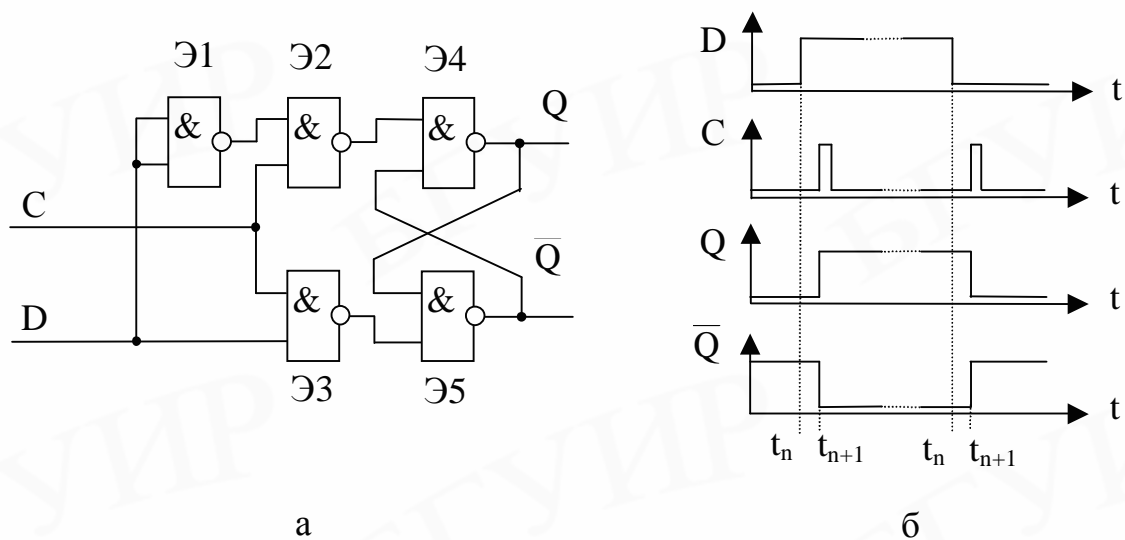


Рис. 9. Преобразование синхронного RS-триггера в синхронный D-триггер

Следовательно, при  $C = 0$   $Q^{n+1} = Q^n$ , а при  $C = 1$   $Q^{n+1} = D^n$ . Временные диаграммы, поясняющие работу  $D$ -триггера, приведены на рис. 8, в.

$D$ -триггер возможно получить из синхронного  $RS$ -триггера, если ввести дополнительный инвертор  $\mathcal{E}1$  между входами  $R$  и  $S$  (рис. 9, а). В таком триггере состояние неопределенности для входов  $R$  и  $S$  исключается, так как инвертор  $\mathcal{E}1$  формирует на входе  $R$  сигнал  $\bar{S}$ . Временные диаграммы записи в  $D$ -триггер напряжений высокого и низкого входных уровней и их считывание приведены на рис. 9, б. Обязательным условием правильной работы  $D$ -триггера является наличие защитного временного интервала после прихода импульса на вход  $D$  перед тактовым импульсом (вход  $C$ ). Этот интервал времени  $t_{n+1} - t_n$  определяется справочными данными на  $D$ -триггер.

Комбинированные  $D$ -триггеры имеют дополнительные входы асинхронной установки логических 0 и 1 – входы  $S$  и  $R$ . Схема и условное обозначение одного такого триггера представлены на рис. 10. Триггер собран на шести элементах И-НЕ по схеме трех  $RS$ -триггеров. Входы  $\bar{S}$  и  $\bar{R}$  служат для первоначальной установки триггера в определенное состояние.

Если  $C = D = 0$ , установить  $S = 0$ , а  $\bar{R} = 1$ , то элементы  $\mathcal{E}1$ – $\mathcal{E}5$  будут закрыты, а элемент  $\mathcal{E}6$  будет открыт, т.е.  $Q = 1$ ,  $\bar{Q} = 0$ . При снятии нулевого сигнала со входа  $\bar{S}$  откроется элемент  $\mathcal{E}1$ , состояние остальных элементов не изменится. При подаче единичного сигнала на вход  $C$  на всех входах элемента  $\mathcal{E}3$  будут действовать единичные сигналы и он откроется, а элемент  $\mathcal{E}6$  закроется:  $\bar{Q} = 1$ . Теперь на всех входах элемента  $\mathcal{E}5$  действуют единичные сигналы, и он будет открыт:  $Q = 0$ . Следовательно, после переключения триггера сигнал на выходе  $Q$  стал равным сигналу на входе  $D$  до переключения:  $Q^{n+1} = D^n = 0$ . После снятия единичного сигнала со входа  $C$  состояние триггера не изменится.

$D$ -триггер может работать как  $T$ -триггер. Для этого необходимо вход  $D$  соединить с инверсным выходом триггера  $\bar{Q}$  (рис. 11, а, б). Если на входе  $D$  поставить дополнительный двухвходовый элемент И, инверсный выход триггера  $\bar{Q}$  соединить с одним из входов элемента И, а на второй вход подать сигнал  $EI$ , то получим  $T$ -триггер с дополнительным разрешением по входу (рис. 11, в).

### 2.1.5. JK-триггеры

$JK$ -триггеры подразделяются на универсальные и комбинированные. Универсальный  $JK$ -триггер имеет два информационных входа  $J$  и  $K$ . По входу  $J$  триггер устанавливается в состояние  $Q = 1$ ,  $\bar{Q} = 0$ , а по входу  $K$  – в состояние  $Q = 0$ ,  $\bar{Q} = 1$ .

**$JK$ -триггер** отличается от  $RS$ -триггера прежде всего тем, что в нем устранена неопределенность, которая возникает в  $RS$ -триггере при определенной комбинации входных сигналов. Универсальность  $JK$ -триггера состоит в том, что он может выполнять функции  $RS$ -,  $T$ - и  $D$ -триггеров.

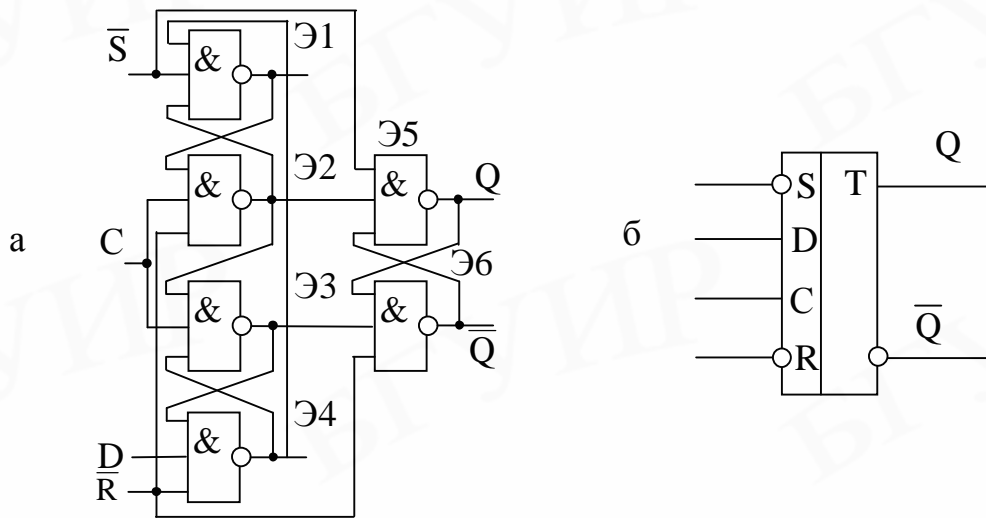


Рис. 10. Комбинированный D-триггер

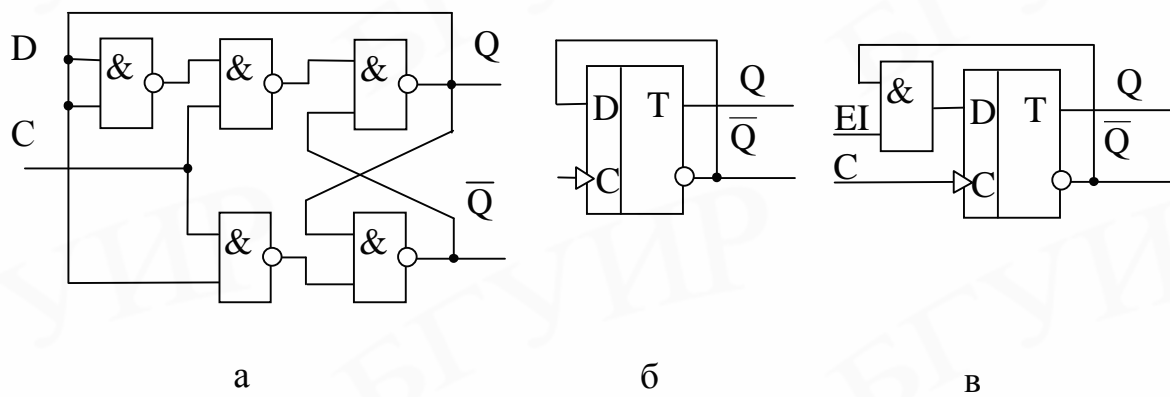


Рис. 11. Схемы преобразования D-триггера в T-триггер

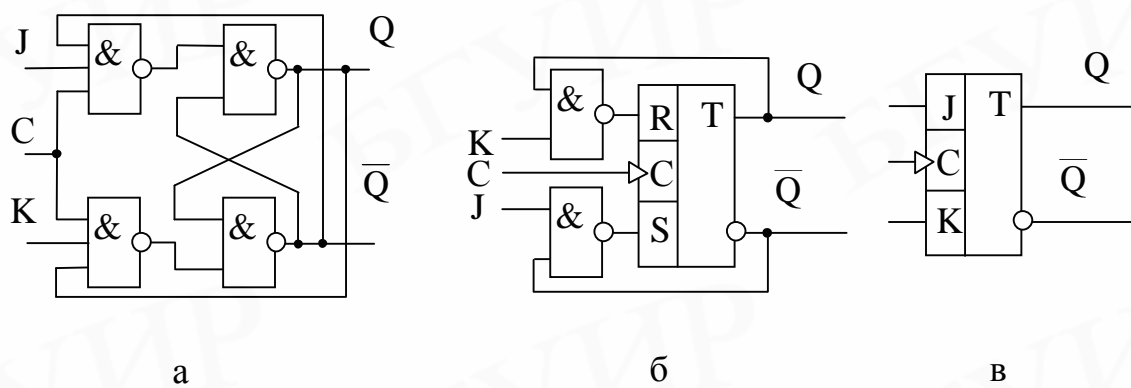


Рис. 12. Преобразование синхронного RS-триггера в JK-триггер

Комбинированный *JK*-триггер отличается от универсального наличием дополнительных асинхронных входов *S* и *R* для предварительной установки триггера в определенное состояние (логической 1 или 0).

Простейший *JK*-триггер можно получить из синхронного *RS*-триггера (рис. 12, а, б, в), если ввести дополнительные обратные связи с выходов триггера на входы, которые позволяют устранить неопределенность в таблице состояний. Если входы *J*, *K* и *C* объединить, то получим *T*-триггер, который переключается каждым входным импульсом (рис. 13).

*JK*-триггер имеет следующую таблицу состояний (табл. 3).

Таблица 3

Состояния асинхронных *JK*-триггеров

Входы		Выходы	
<i>J</i>	<i>K</i>	$Q^{n+1}$	$\overline{Q}^{n+1}$
0	0	$Q^n$	$\overline{Q}^n$
0	1	0	1
1	0	1	0
1	1	$\overline{Q}^n$	$Q^n$

При входных сигналах  $J = K = 0$  состояние триггера не изменяется, так как напряжение низкого уровня на одном входе элемента И-НЕ отменяет прохождение сигналов от других его входов и удерживает выходной сигнал на высоком уровне. Если на входы *J* и *K* подать взаимно противоположные уровни, то при подаче перепада напряжения на вход *C* выходы *JK*-триггера устанавливаются в такие же состояния. При подаче на входы *J* и *K* одновременно напряжений высокого уровня триггер переключается в состояние, противоположное предыдущему, если на вход синхронизации *C* подать перепад напряжения. Управление полным тактовым импульсом, подаваемым на вход *C*, применяется для двухступенчатых триггеров (см. рис. 13). Такой триггер тоже имеет обратные связи с выходов на входы, исключая неопределенное состояние триггера.

Из *JK*-триггера можно получить *D*-триггер, если вход *K* соединить со входом *J* через дополнительный инвертор (рис. 14).

## 2.2. Регистры

**Регистр** – устройство, предназначенное для кратковременного хранения и преобразования многоразрядных двоичных чисел. В качестве запоминающих элементов в регистрах используются триггеры. Вспомогательные элементы используются для осуществления следующих операций:

- ввода и вывода из регистра хранимой информации;
- преобразования кода числа, хранящегося в регистре;

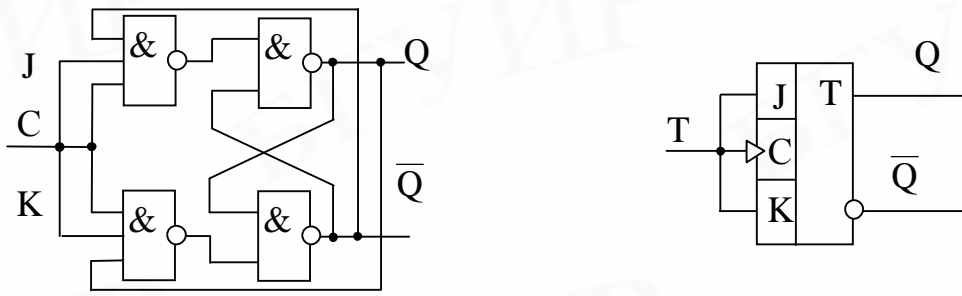


Рис. 13. Преобразование JK-триггера в T-триггер

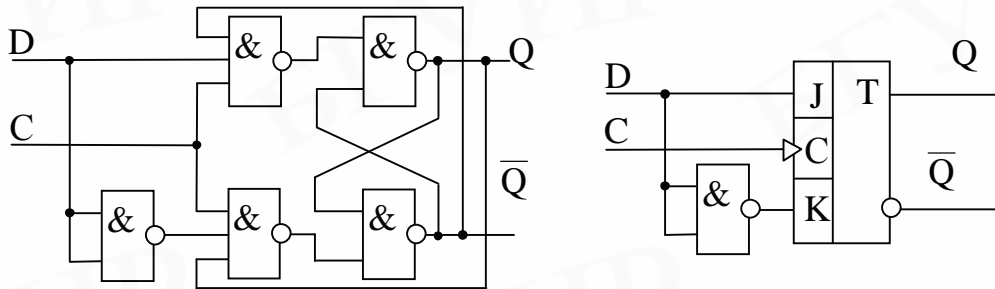


Рис. 14. Преобразование JK-триггера в D-триггер

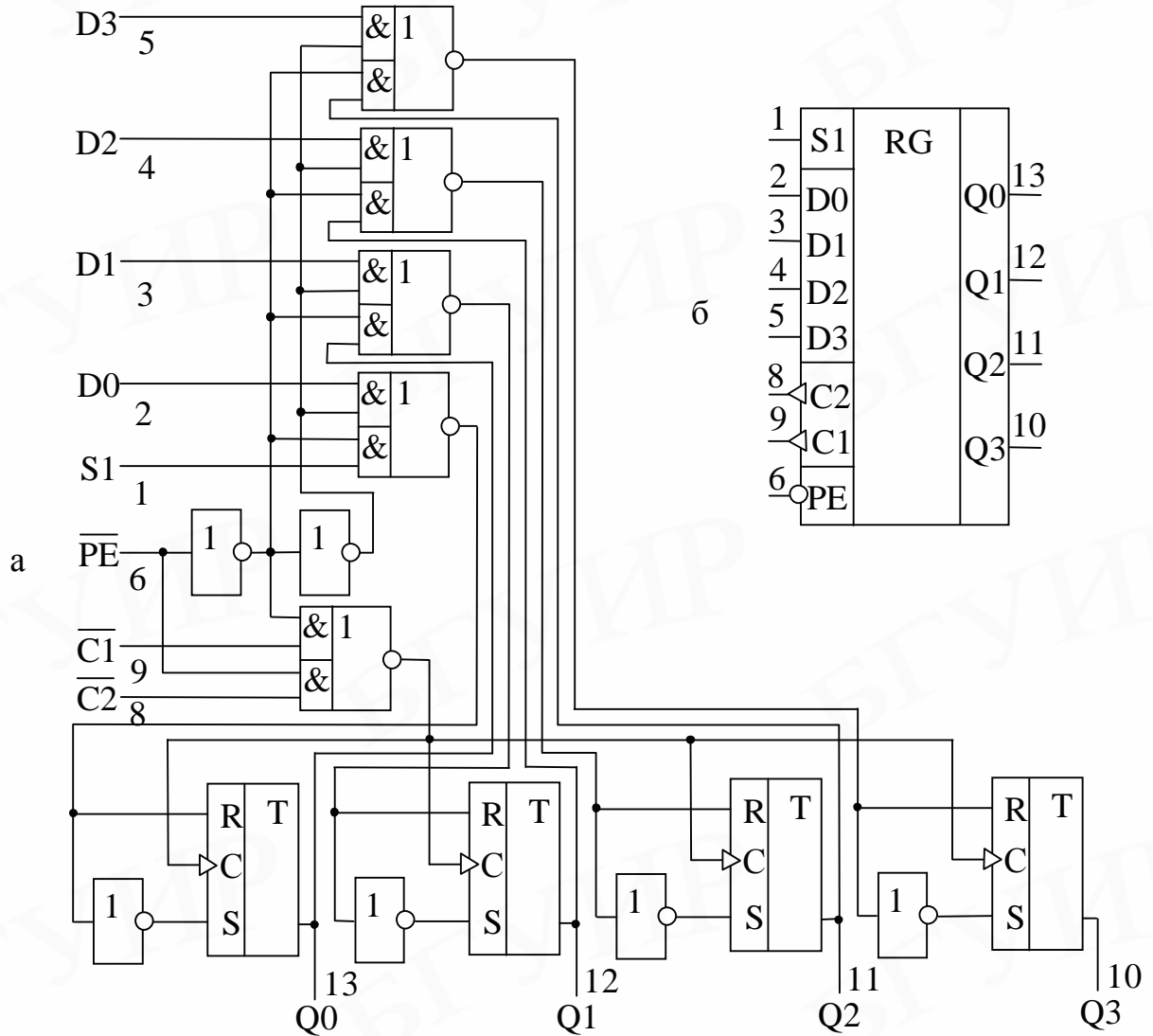


Рис. 15. Структура и условное обозначение регистра IP1



сдвига числа влево или вправо на определенное число разрядов; преобразования последовательного кода числа в параллельный и наоборот и другие.

Вспомогательные элементы обычно строятся на основе комбинационных схем.

Регистры классифицируют по различным признакам, основными из которых являются способ ввода информации в регистр и ее вывод и способ представления вводимой и выводимой информации.

По способу ввода и вывода информации регистры подразделяются на:

- параллельные (регистры памяти);
- последовательные (регистры сдвига);
- параллельно-последовательные.

По способу представления вводимой и выводимой информации различают регистры однофазного и парафазного типов. В однофазных регистрах информация вводится либо в прямом, либо в обратном коде, а в парафазных – одновременно в прямом и обратном кодах. Вывод информации из регистров может осуществляться как в прямом, так и в обратном коде.

Различают одно- и многоканальные регистры в зависимости от числа источников информации, с которых она поступает на входы регистра. В простейшем регистре триггеры соединены последовательно, т.е. выходы предыдущего триггера передают информацию на входы последующего. Тактовые входы  $C$  триггеров соединены параллельно. Такой регистр имеет один вход и один выход – последовательные. Вход управления – тактовый вход  $C$ .

Если ко входу каждого триггера добавить разрешающую логику, то можно осуществить параллельную загрузку данных в регистр. Можно предусмотреть логическую схему параллельного отображения выходных данных. Как правило, выходные элементы такой схемы имеют  $z$ -состояния, позволяющие поочередно выдавать информацию по многопроводной шине данных.

Регистры могут быть двунаправленные, т.е. записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный вход.

Существуют многорежимные регистры, у которых входные и выходные линии данных объединены в одну линию (порт данных). Эта линия по соответствующей команде (т.е. имеет дополнительный вход) может быть и входной, и выходной. Также существуют специализированные регистровые микросхемы для построения АЦП.

Микросхема ИР1 – четырехразрядный универсальный сдвиговый регистр (рис. 15, а), а его условное обозначение изображено на рис. 15, б. Каждый разряд образован синхронным  $RS$ -триггером, включенным по схеме  $D$ -триггера с прямым динамическим входом синхронизации. Он имеет четыре параллельных входа данных  $D0 - D3$  (выводы 2 – 5) и один последовательный вход данных  $S1$  (вывод 1), а также четыре выхода  $Q0 - Q3$  (выводы 13 – 10) от каждого из триггеров. Регистр имеет два тактовых входа  $\overline{C1}$  и  $\overline{C2}$ , управляемых отрицатель-

ным перепадом (спадом) тактового импульса, и вход разрешения параллельной загрузки  $\overline{PE}$ , который служит для выбора режима работы регистра.

Если на вход  $\overline{PE}$  подано напряжение высокого уровня, то разрешается работа тактовому входу  $\overline{C2}$ . В момент прихода на вход отрицательного перепада импульса в регистр загружаются данные от параллельных входов  $D0 - D3$ .

Если на вход  $\overline{PE}$  подать напряжение низкого уровня, то разрешается работа тактовому входу  $\overline{C1}$ . С приходом отрицательного перепада тактового импульса на вход  $\overline{C1}$  данные последовательно сдвигаются от входа  $S1$  на выход  $Q0$ , затем на  $Q1, Q2, Q3$  (т.е. вправо). Сдвиг данных по регистру влево будет происходить тогда, если соединить выход  $Q3$  и вход  $D2, Q2$  и  $D1, Q1$  и  $D0$ .

Напряжение на входе разрешения  $\overline{PE}$  можно менять только тогда, когда на тактовых входах  $\overline{C1}$  и  $\overline{C2}$  уровни низкие. Режимы работы регистра можно выбрать по табл. 4. Такой регистр можно использовать в качестве элемента буферной памяти арифметических устройств, элемента задержки, преобразователя последовательных кодов в параллельные и наоборот, делителя частоты, распределителя импульсов и других устройств.

Таблица 4

Таблица состояний регистра ИР1

Входы								Выходы			
$\overline{PE}$	$\overline{C2}$	$\overline{C1}$	Последовательный $S1$	Параллельные				$Q0$	$Q1$	$Q2$	$Q3$
				$D0$	$D1$	$D2$	$D3$				
1	1	×	×	×	×	×	×	$Q_{A_0}$	$Q_{B_0}$	$Q_{C_0}$	$Q_{D_0}$
1	↓	×	×	$a$	$b$	$c$	$d$	$a$	$b$	$c$	$d$
1	↓	×	×	$Q_B$	$Q_C$	$Q_D$	$d$	$Q_{B_n}$	$Q_{C_n}$	$Q_{D_n}$	$d$
0	0	1	×	×	×	×	×	$Q_{A_0}$	$Q_{B_0}$	$Q_{C_0}$	$Q_{D_0}$
0	×	↓	1	×	×	×	×	1	$Q_{A_n}$	$Q_{B_n}$	$Q_{C_n}$
0	×	↓	0	×	×	×	×	0	$Q_{A_n}$	$Q_{B_n}$	$Q_{C_n}$
↑	0	0	×	×	×	×	×	$Q_{A_0}$	$Q_{B_0}$	$Q_{C_0}$	$Q_{D_0}$
↓	0	0	×	×	×	×	×	$Q_{A_0}$	$Q_{B_0}$	$Q_{C_0}$	$Q_{D_0}$
↓	0	1	×	×	×	×	×	$Q_{A_0}$	$Q_{B_0}$	$Q_{C_0}$	$Q_{D_0}$
↑	1	0	×	×	×	×	×	$Q_{A_0}$	$Q_{B_0}$	$Q_{C_0}$	$Q_{D_0}$
↑	1	1	×	×	×	×	×	$Q_{A_0}$	$Q_{B_0}$	$Q_{C_0}$	$Q_{D_0}$

### 2.3. Счетчики

**Счетчиком** называют устройство, предназначенное для подсчета числа импульсов, поданных на вход, и фиксации этого числа в каком-либо коде.

Простейший многоразрядный двоичный делитель частоты с коэффициентом деления  $2^n$  можно получить, соединив последовательно  $n$  триггеров  $T$ -типа.

Счётчики – это также более общее название для делителей частоты. Основой любого счетчика является линейка из нескольких триггеров.

Основными характеристиками счетчика являются коэффициент счета и быстродействие.

Коэффициент счета  $K_{сч}$  характеризует число устойчивых состояний счетчика, т.е. предельное число импульсов, которое может быть сосчитано счетчиком.

Быстродействие счетчика определяется двумя параметрами: разрешающей способностью  $t_{разр.сч}$  и временем установки кода счетчика  $t_{уст}$ . Под разрешающей способностью подразумевается минимальное время между двумя входными импульсами, в течение которого еще не возникают сбои в работе счетчика.

Обратная величина

$$F_{\max} = \frac{1}{t_{разр.сч}}$$

называется максимальной частотой счета.

Время установки кода  $t_{уст}$  равно времени между моментом поступления входного импульса и переходом счетчика в новое устойчивое состояние. Временные свойства счётчика зависят от временных характеристик триггеров и способа их соединения между собой.

Цифровые счетчики классифицируются следующим образом:

по коэффициенту счета – двоичные, двоично-десятичные или с другим модулем счета;

по направлению счета – однонаправленные (суммирующие – с увеличением счёта, вычитающие – с уменьшением счёта), двунаправленные или реверсивные;

по способу организации внутренних связей – с непосредственными связями, со связями по цепям переноса (счетчики с переносом) и с комбинированными связями;

по способу подачи счетных импульсов – параллельные, последовательные и параллельно-последовательные.

Классификационные признаки независимы и могут встречаться в разных сочетаниях.

**Параллельный счетчик с непосредственными связями** (рис. 16) характеризуется одновременным поступлением счетного импульса на счетные входы всех разрядов счетчика и непосредственным подключением выходов младших разрядов к управляющим входам старших разрядов счетчика. Срабатывание триггеров параллельного счетчика происходит синхронно, и задержка переключения всего счетчика равна задержке для одного триггера. Такие счетчики обладают наибольшим быстродействием.

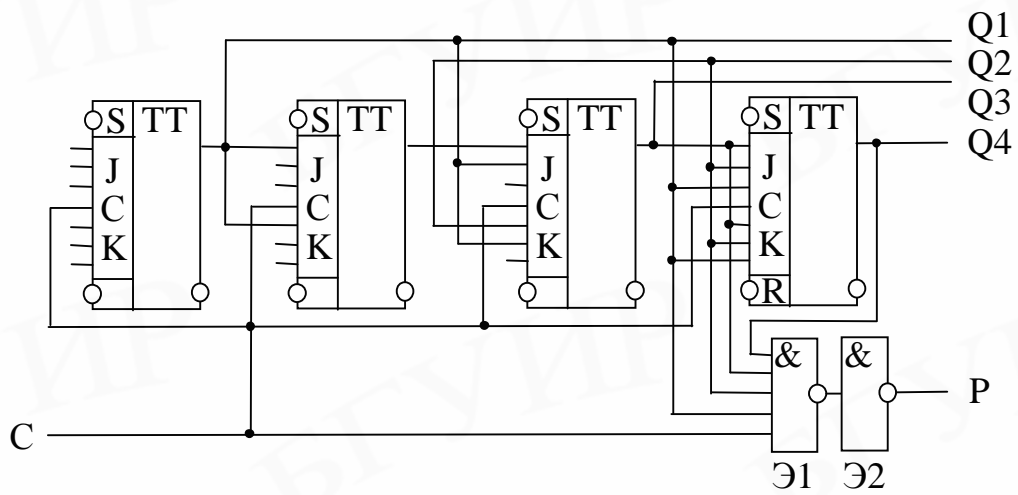


Рис. 16. Параллельный счётчик с непосредственными связями

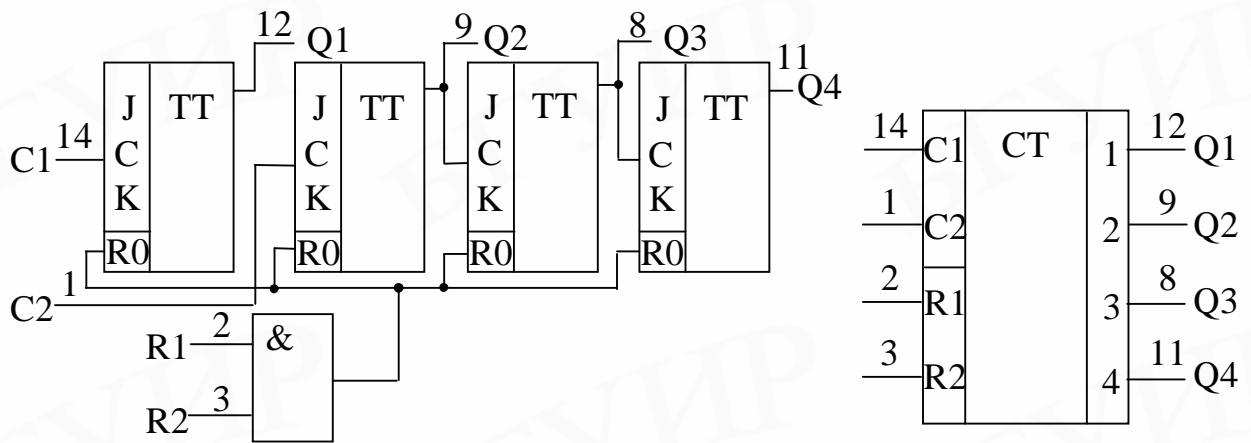


Рис. 17. Счётчик ИЕ5

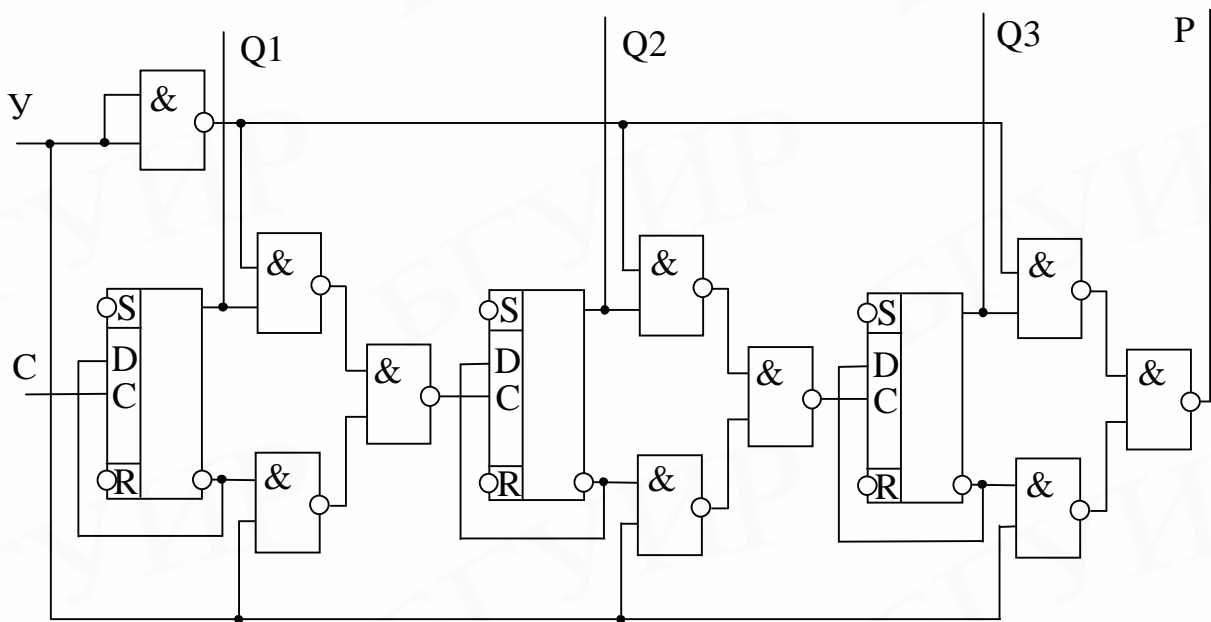


Рис. 18. Реверсивный счётчик с последовательным переносом

Недостаток параллельных счетчиков на многовходовых триггерах состоит в том, что необходимо иметь различное число входов в каждом из разрядов. Поэтому при большом числе разрядов счетчик разбивается на группы, например, по четыре разряда, как показано на рис.16. Элементы Э1 и Э2 служат для получения импульсов переноса  $P$ . Группы между собой соединяются последовательно. Сигнал переноса  $P$  предыдущей группы подается на счетные входы триггеров последующей группы, при этом образуется параллельно-последовательный счетчик с непосредственными связями в группах и с последовательным переносом между группами.

**Последовательные счетчики с непосредственными связями.** В таких счетчиках управляющими сигналами для старших разрядов являются уровни сигналов с информационных выходов младших разрядов. Примером может служить счетчик ИЕ5, схема которого показана на рис. 17. Счетчик ИЕ5 имеет две части: счетчик с  $K_{сч1} = 2$  (выход  $Q1$ , счетный вход  $C1$ ) и счетчик с  $K_{сч2} = 8$  (выходы  $Q2, Q3, Q4$ , счетный вход  $C2$ ). Для организации счетчика с  $K_{сч} = 16$  необходимо соединить выход  $Q1$  со входом  $C2$ . Микросхема имеет два входа установки в 0 –  $R1$  и  $R2$ , объединенных по схеме И. Сброс триггеров (установка в 0) производится при подаче уровней логической 1 на оба входа  $R$ . Наличие входов установки, объединенных по схеме И, позволяет строить счетчики с различными коэффициентами счета. Поскольку логический элемент И двухвходовый, с его помощью могут быть организованы такие коэффициенты счета, которые в двоичном коде содержат две единицы:  $3_{10} = 011_2$ ;  $5_{10} = 101_2$ ;  $6_{10} = 110_2$ ;  $9_{10} = 1001_2$ ;  $10_{10} = 1010_2$ ;  $12_{10} = 1100_2$ . Добавив логический расширитель по И, можно обеспечить и другие коэффициенты счета.

Максимальная величина времени установки счетчика  $t_{ycm}$  в счетчиках последовательного типа определяется суммарной задержкой передачи информации из младшего разряда в старший

$$t_{ycm} = Nt_t,$$

где  $N$  – число разрядов счетчика, а  $t_t$  – задержка переключения триггера.

Последовательные счетчики являются простейшими по схемотехнической реализации, но они обладают наименьшим быстродействием.

Реверсивные счетчики в зависимости от сигналов управления осуществляют суммирование импульсов или вычитание.

В счетчике ИЕ5 использованы  $JK$ -триггеры с внутренней задержкой ( $MS$ -структурой), поэтому переключение триггеров происходит после окончания счетного импульса, т.е. по срезу. Для получения суммирующего счетчика на таких триггерах управление последующими разрядами осуществляется сигналами с прямых выходов предыдущих разрядов. Для получения вычитающего счетчика на таких триггерах необходимо использовать сигналы с инверсных выходов предыдущих разрядов для управления последующими разрядами. При

построении счетчиков на динамических триггерах, переключающихся по фронту импульса, наоборот: для получения суммирующего счетчика используются инверсные выходы, а для получения вычитающего – прямые.

Эти обстоятельства использованы при построении реверсивного счетчика (рис. 18). При подаче на шину управления уровня логической 1 инверсные выходы предыдущих триггеров подключаются к счетным входам последующих, а при уровне логического 0 на шине управления прямые выходы предыдущих триггеров подключаются к счетным входам последующих. Таким образом, изменяя управляющий сигнал, можно получать суммирующий или вычитающий счетчик с последовательным переносом.

### **3. ПРОГРАММА РАБОТЫ**

- 3.1. Асинхронный *RS*-триггер на элементах ИЛИ-НЕ (см. рис. 1).
- 3.2. Синхронный *RS*-триггер на элементах И-НЕ (см. рис. 3).
- 3.3. Синхронный двухступенчатый *RS*-триггер с инвертором (см. рис. 5).
- 3.4. *D*-триггер, собранный на базе синхронного *RS*-триггера (см. рис. 9).
- 3.5. *JK*-триггер, собранный на базе синхронного *RS*-триггера (см. рис. 12).
- 3.6. *T*-триггер, собранный на базе *D*-триггера в (см. рис. 11).
- 3.7. *T*-триггер, собранный на базе *JK*-триггера в (см. рис. 13).
- 3.8. Регистр сдвига (см. рис. 15).
- 3.9. Параллельный счётчик с непосредственными связями (см. рис. 16).
- 3.10. Счётчик ИЕ5 (см. рис. 17).
- 3.11. Реверсивный счётчик с последовательным переносом (см. рис. 18).

### **4. СОДЕРЖАНИЕ ОТЧЁТА**

- 4.1. Цель работы.
- 4.2. Схемы исследуемых устройств.
- 4.3. Осциллограммы напряжений в контрольных точках, выполненные со строгим соблюдением временных и амплитудных соотношений.
- 4.4. Результаты измерений.
- 4.5. Выводы.

### **5. КОНТРОЛЬНЫЕ ВОПРОСЫ**

- 5.1. Определение, схемы, условные обозначения и работа *RS*-триггеров.
- 5.2. Определение, схемы, условные обозначения и работа *D*-триггеров.
- 5.3. Определение, схемы, условные обозначения и работа *JK*-триггеров.
- 5.4. Определение, схемы, условные обозначения и работа *T*-триггеров.
- 5.5. Определение, классификация, схемы, условные обозначения и работа регистров.
- 5.6. Определение, классификация, схемы, условные обозначения и работа счётчиков.

## ЛИТЕРАТУРА

1. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства: Учеб. пособие для вузов. – М.: Радио и связь, 1992. – 336 с.
2. Цифровые интегральные микросхемы: Справочник. – Мн.: Полымя, 1996. – 605 с.

Учебное издание

## **ИССЛЕДОВАНИЕ ТРИГГЕРОВ, РЕГИСТРОВ И СЧЕТЧИКОВ**

Методические указания

к лабораторной работе  
по курсу «Импульсные и цифровые устройства»  
для студентов специальностей 39 01 01 «Радиотехника»  
и 39 01 02 «Радиоэлектронные системы»  
всех форм обучения

Составитель

**Ивлев Игорь Игоревич**

Редактор Н.А. Бебель  
Корректор Е.Н. Батурчик  
Компьютерная верстка А.Б. Иванов

---

Подписано в печать 11.06.2003.  
Печать ризографическая.  
Уч.-изд. л. 1,2.

Формат 60x84 1/16.  
Гарнитура «Times».  
Тираж 100 экз.

Бумага офсетная.  
Усл. печ. л. 1,51.  
Заказ 41.

---

Издатель и полиграфическое исполнение:  
Учреждение образования  
«Белорусский государственный университет информатики и радиоэлектроники».  
Лицензия ЛП № 156 от 30.12.2002.  
Лицензия ЛВ № 509 от 03.08.2001.  
220013, Минск, П. Бровка, 6.